

MC-500

SERVICE NOTES

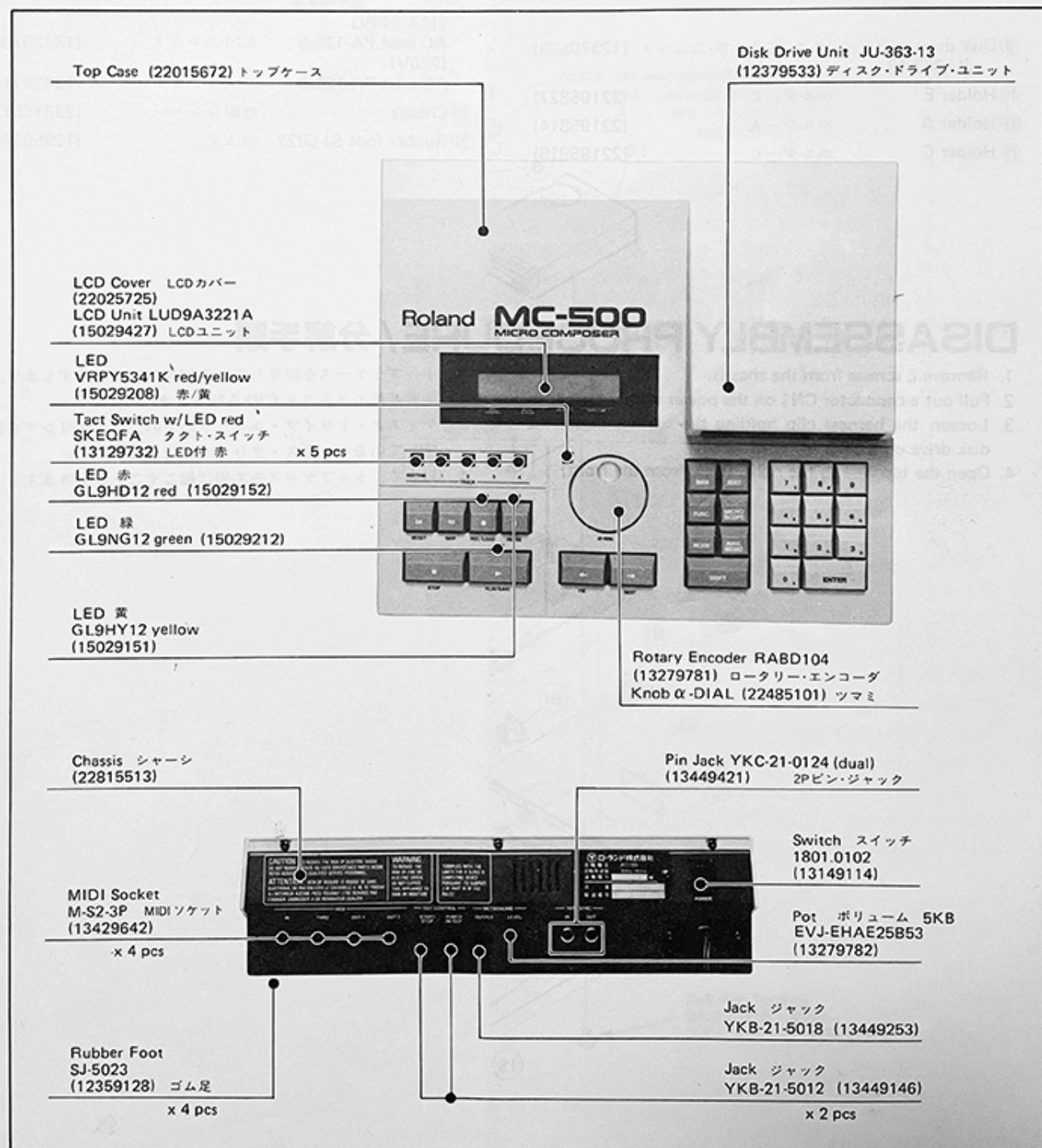
First Edition

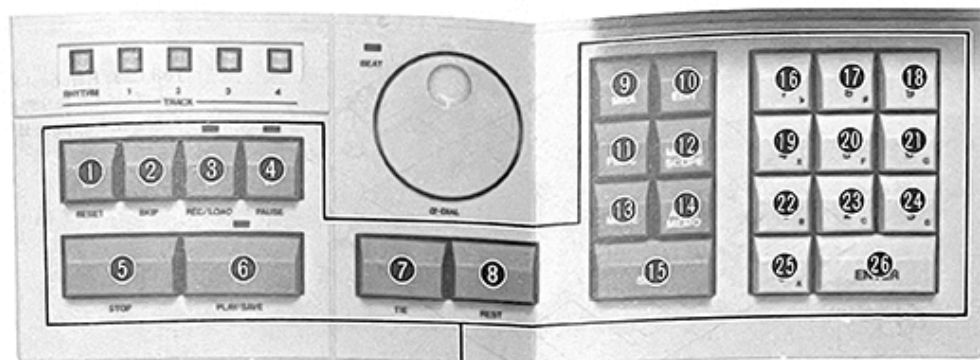
SPECIFICATIONS / 仕様

Memory Capacity 記憶容量	(RAM) 256 Kbytes (Disk) 720 Kbytes
Disk ディスク	3.5 inch Micro Floppy Disk MF2-DD
Power Consumption 消費電力	17 Watts max
Dimensions (including projections) 外形寸法(突起部分含む)	305(W) x 285(D) x 91(H) mm 12" x 11-1/4" x 3-9/16"

Weight 重量	3.5 kg/7 lb. 11 oz.
Accessory 附属品	MIDI/SYNC Cable (1.5m) x 2 MRC-500 Software

Specifications are subject to change without notice.





All keyswitches are SKCMAF (13129730)
すべてのキー・スイッチ

Keytops キー・トップ

- | | | |
|------------------------|-------------------------|--------------------|
| ① RESET (22475737) | ⑩ EDIT (22475763) | ⑲ 4 (22475744) |
| ② SKIP (22475769) | ⑪ FUNC (22475764) | ⑳ 5 (22475745) |
| ③ REC/LOAD (22475738) | ⑫ MICROSCOPE (22475765) | ㉑ 6 (22475746) |
| ④ PAUSE (22475736) | ⑬ MODE (22475768) | ㉒ 1 (22475741) |
| ⑤ STOP (22475773) | ⑭ AVAIL-MEMO (22475766) | ㉓ 2 (22475742) |
| ⑥ PLAY/SAVE (22475772) | ⑮ SHIFT (22475760) | ㉔ 3 (22475743) |
| ⑦ TIE (22475771) | ⑯ 7 (22475747) | ㉕ 0 (22475740) |
| ⑧ REST (22475770) | ⑰ 8 (22475748) | ㉖ ENTER (22475762) |
| ⑨ MIDI (22475767) | ⑱ 9 (22475749) | |

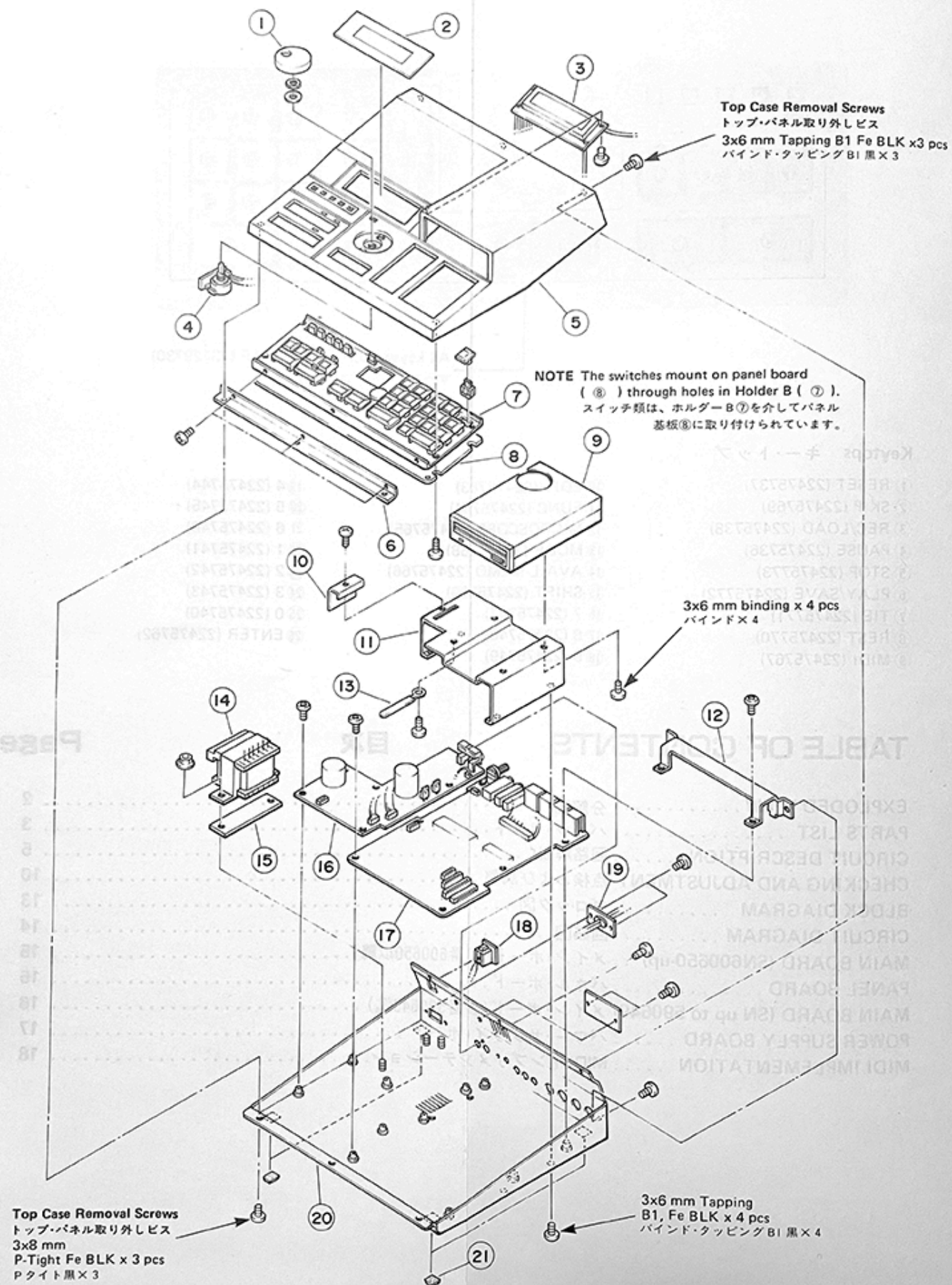
TABLE OF CONTENTS

目次

Page

EXPLODED VIEW	分解図	2
PARTS LIST	パーツ・リスト	3
CIRCUIT DESCRIPTION	回路解説	5
CHECKING AND ADJUSTMENT	点検および調整	10
BLOCK DIAGRAM	ブロック図	13
CIRCUIT DIAGRAM	回路図	14
MAIN BOARD (SN600650-up) ..	メイン・ボード(製番600650以降) ..	15
PANEL BOARD	パネル・ボード	15
MAIN BOARD (SN up to 590649)	メイン・ボード(製番590649迄) ..	16
POWER SUPPLY BOARD	パワー・サプライ・ボード	17
MIDI IMPLEMENTATION	MIDI インプリメンテーション ..	18

EXPLODED VIEW / 分解図



① Knob	ツマミ	(22485101)	⑬ Harness clip	ハーネス・クリップ (.....)	
② LCD cover	LCDカバー	(22025725)	SHE-36		
③ LCD unit	LCDユニット	(15029427)	⑭ Power transformer	電源トランス	(22455438U0)
LUD9A3221A			⑮ Plate	プレート	(22125195)
④ Rotary encoder	ロータリー・エンコーダ	(13279781)	⑯ Power supply board	電源基板完成品	
RABD104			100/117V		(7935810100)
⑤ Top case	上面ケース	(22015672)	220/240V		(7935810400)
⑥ Holder D	ホルダーD	(22195826)	⑰ Main board	メイン基板完成品	(7935812000)
⑦ Holder B	ホルダーB	(22195813)	⑱ Power switch	電源スイッチ	(13149114)
⑧ Panel board	パネル基板完成品	(7935815000)	1801.0102		
Includes switches and Holder B. スイッチ類及びホルダーBを含む。			⑲ (100V)		
			Holder	ACコード・ホルダー	(22195744)
			Line cord strain relief	コード・ブッシュ	(12369504)
			SR-4N-4		
			(117/240V)		
⑨ Disk drive unit	ディスク・ドライブ・ユニット	(12379533)	AC inlet PA-125-6	ACインレット	(13429709)
JU-363-13			(220V)		
⑩ Holder E	ホルダーE	(22195827)	AC inlet PA-126-6	ACインレット	(13429710)
⑪ Holder A	ホルダーA	(22195814)	⑳ Chassis	底面シャーシ	(22815513)
⑫ Holder C	ホルダーC	(22195815)	㉑ Rubber foot SJ-5023	ゴム足	(12359128)

DISASSEMBLY PROCEDURE / 分解手順

1. Remove 6 screws from the chassis.
 2. Pull out a connector CN1 on the power supply board.
 3. Loosen the harness clip holding the wirings under the disk drive unit.
 4. Open the top case to the right. (view from the front)
1. トップ・ケースを固定しているビス(6本)をはずします。
 2. 電源基板のコネクタ CN1を抜きます。
 3. ディスク・ドライブ・ユニットの下の、ワイヤリングを固定しているハーネス・クリップを起こします。
 4. 以上で、トップケースを右側に起こすことができます。

訂正

LCDユニットの変更

17頁の変更案内および、3、14、16頁には
LCDの変更に伴う

メイン基板上のR6の抵抗値変更

に付いての注意が記載されています。これらを
次の通り訂正致します。

- * 新旧のLCDは完全に互換性があります。
- * 従って、LCDを旧から新に取り替えた場合
でもR6の抵抗値 330Ωを変更する必要
はありません。

CORRECTION

LCD UNIT CHANGE

Ignore the cautions on R6 stated in "CHANGE
INFORMATION" on p.17 and on p.3, 14 and 16
concerning LCD unit change.

The Correct Information on LCD and R6 :

- * New LCD is compatible with the old one
and can be a direct replacement.
- * R6 should remain unchanged, 330Ω, even if
old LCD is replaced with the new one.

	新 New	旧 Old
	SN661350-up	Up to SN601349
Main Board R6	828Ω → 330Ω	330Ω
LCD unit	LUD9A3221A	LUD9A3121A

変更案内追加

製品番号672650以降

メイン基板

PCB 22925245 01→03
部品裏付けを無くすため

製品番号672700以降

メイン基板

1. R51 220KΩ → 180KΩ
FSK調整を容易にするため
 2. R29 120KΩ → 12KΩ
 - R30 10KΩ → 1KΩ
 - C9 0.001μF → 0.01μF
 - C11 0.001μF → 0.01μF
- メトロノームのノイズ軽減のため

SUPPLEMENTAL
CHANGE INFORMATION

MAIN BOARD EFF SN : 672650

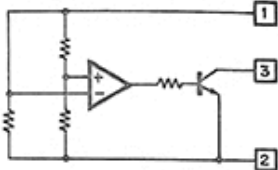
- * PCB 22925245 01 change to 22925245 03
Re-layout of foil pattern for accommodating
the surface mounted parts(foil side) on
the component side

MAIN BOARD EFF SN : 672700

- * R51 220KΩ change to 180KΩ
For easier FSK adjustment
- * R29 120KΩ change to 12KΩ
- R30 10KΩ change to 1KΩ
- C9 0.001μF change to 0.01μF
- C11 0.001μF change to 0.01μF
For noise reduction in metronome

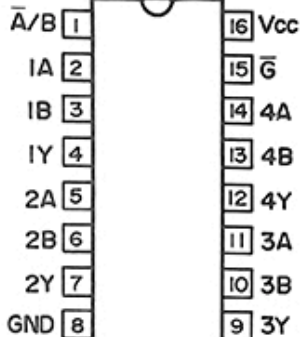
IC DATA

IC17 Reset PST520D



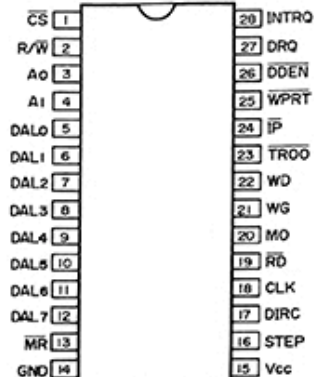
IC14-16 74ALS257

TOP VIEW



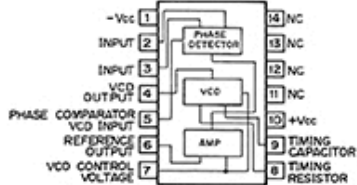
IC23 FDC WD1770-00

TOP VIEW



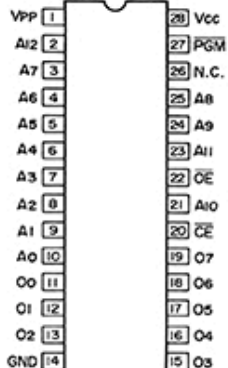
IC35 PLL LM565CN

TOP VIEW



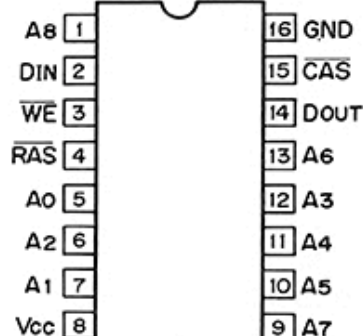
IC18 EPROM TMM2764D

TOP VIEW



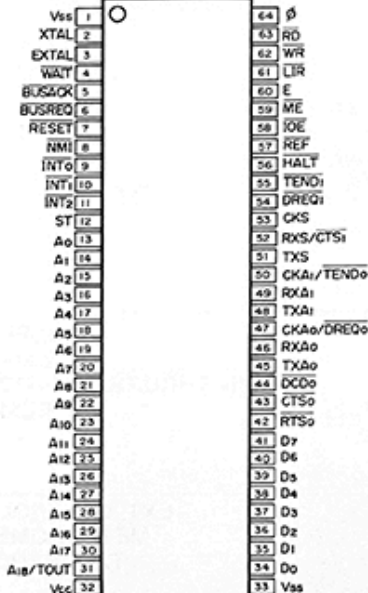
IC1-8 DRAM M5M4256P-12

TOP VIEW



IC22 MPU HD64B180ROP

TOP VIEW



PARTS LIST

CASING ケース

22015672	Top case
22815513	Chassis
22025725	LCD cover
12359128	Rubber foot

SJ-5023

上面ケース
底面シャーシ
LCDカバー
ゴム足

KNOB, BUTTON ツマミ、ボタン

22485101	Knob	45φ
22475740	Button	Keytop-S
22475741	Button	Keytop-S
22475742	Button	Keytop-S
22475743	Button	Keytop-S
22475744	Button	Keytop-S
22475745	Button	Keytop-S
22475746	Button	Keytop-S
22475747	Button	Keytop-S
22475748	Button	Keytop-S
22475749	Button	Keytop-S
22475760	Button	Keytop-L
22475762	Button	Keytop-L
22475763	Button	Keytop-S
22475764	Button	Keytop-S
22475765	Button	Keytop-S
22475766	Button	Keytop-S
22475767	Button	Keytop-S
22475768	Button	Keytop-S
22475769	Button	Keytop-S
22475770	Button	Keytop-M
22475771	Button	Keytop-M
22475772	Button	Keytop-L
22475773	Button	Keytop-L
22475736	Button	Keytop-S
22475737	Button	Keytop-S
22475738	Button	Keytop-S

α-DIAL

0
1
2
3
4
5
6
7
8
9

SHIFT

ENTER

EDIT

FUNC

MICROSCOPE

AVAIL-MEMO

MIDI

MODE

SKIP

REST

TIE

PLAY/SAVE

STOP

PAUSE

RESET

REC/LOAD

HOLDER ホルダー

22195814	Holder A
22195813	Holder B
22195815	Holder C
22195826	Holder D
22195827	Holder E
22195822	Holder
22195744	Holder

(Same as one on MKS-7)

Disk drive unit
Panel board (Keypress)
MIDI socket, Jack
EMI shield

Voltage regulator
LED (VRPY5341K)
AC cord (100V only)

PLATE プレート

22125195	Plate
----------	-------

(Same as one on JU-1)

Power Transformer

AC CORD ACコード

13439801W0	VFF	2.5m
13499109	UC-909-J06	2.5m (Detachable AC cord set)
13439813F0	EC-210-J06	2.5m (Detachable AC cord set)
13439846	BH-301-J01	2.5m (Detachable AC cord set)
13439814F0	SC-415-J06	2.5m (Detachable AC cord set)

100V

117V

220V

240V England

240V Australian

LINE CORD STRAIN RELIEF コード・ブッシュ

12369504	SR-4N-4
----------	---------

100V only

SOCKET ソケット

13429709	PA-125-6	3P AC inlet
13429710	PA-126-6	2P AC inlet
13429642	M-S2-3P	MIDI socket
13429525	IS28BOBCT	28P IC socket
(or 13429532 TDH4100-28B)		

117/240V

220V

MIDI IN/THRU/OUT1/OUT2

EPROM

JACK ジャック

13449146	YKB-21-5012
13449253	YKB-21-5018
13449421	YKC-21-0124

2P RCA PIN

EXT. CONTROL
METRONOME
TAPE SYNC

SWITCH スイッチ

13149114	1801.0102
13129730	SKCMFAF

Keypress

POWER

13129732	SKEQFA	Tact switch with LED (red)	TRACK
FUSE ヒューズ			
12559331	GG5-0.8A	Primary/Secondary	100/117V
12559368	T-GGS 1.5A	Secondary	100/117V
12559505	CEE-T125mA	Primary	220/240V
12559509	CEE-T315mA	Secondary	220/240V
12559512	CEE-T800mA	Secondary	220/240V
FUSE CLIP ヒューズ・グリッパ			
12199550	H0446		Power supply board
TRANSFORMER トランス			
22455438U0	245-438U0	Power universal	100/117/220/240V
12449551	D32-46	EL inverter	
DISK DRIVE UNIT ディスク・ドライブ・ユニット			
12379533	JU-363-13		3.5 inch MICRO FLOPPY DISK
	NOTE: No field serviceable parts inside. Replace as a whole unit.		
	注) 補修用として、ユニットで供給されます。修理の際は、内部に手を触れないでユニットごと交換して下さい。		
LCD UNIT LCDユニット			
15029427	LUD9A3221A	w/LCD, EL, pcb, wirings	(SN661350-up)
-----	LUD9A3121A	w/LCD, EL, pcb, wirings	(Up to SN601349)
	NOTE: No order accepted for attaching parts. Replace as a whole unit. Replacement for 3121A will be 3221A. In this case change R6 on Main Board to 820Ω to compensate for LCD contrast difference. Refer to "CHANGE INFORMATION" on LCD UNIT circuit diagram.		
	注) 補修用として、LUD9A3221Aだけを採用します。修理の際は、内部に手を触れないでユニットごと交換して下さい。製品番号601349迄の製品のLCDユニットを交換する時は、同時にメイン基板上の抵抗R6の定数変更も行なって下さい。(コントラスト調整)		
PCB ASSEMBLY 基板完成品			
7935810100	Power supply board 100/117V	(pcb 22925247 00)	
7935810400	Power supply board 220/240V	(pcb 22925247 00)	
	NOTE: As a replacement 100/117V version is made common to all voltages with fuses changed to suitable values. For correct fuses, specify the line voltage in the order sheet.		
	注) 補修用として、100/117V用だけを採用します。ヒューズとヒューズ貼マークを除いては互換性があります。発注の際は電源電圧を明記して下さい。		
7935812000	Main board	(pcb 22925245 01)	(SN600650-up)
	NOTE: Direct replacement for the previous ones except for R6 (LCD contrast). Refer to "CHANGE INFORMATION" on pages 15, 16 and 17.		
	注) 新しい基板は、製番590649までの製品に取付けられているメイン基板的補修用としても、そのまま使用することが出来ます。→変更案内参照		
7935815000	Panel board	w/holder B (pcb 22925246 00)	
	Including Encoder board		注) 補修用には、ホルダーBも含まれています。→分解図参照
POTENTIOMETER ポリウム			
13279782	EVJ-EHAE25B53	5KB	METRONOME
13299177	RHE0A140XA	10KB	trimmer
13299178	RHE0A150RA	100KB	trimmer
ROTARY ENCODER ローター・エンコーダ			
13279781	RABD104	incremental	α-DIAL
OPTOISOLATOR ホトカプラ			
15229706S0	PC910	(or 15229706 TLP552)	
INDUCTOR コイル			
12449263	H286LAHS-6287DCBU	20ns	Delay line
CRYSTAL 発振子			
12389745	HC49/U	10MHz	
12389747	HC49/U	16MHz	
RESISTOR ARRAY 抵抗アレー			
1391930	RMLS8-103J	10Kx8	
CAPACITOR コンデンサ			
13529104	DE7150F472MVA1-KC	0.0047μF	ceramic
13659211M0	ECET25R222SW	2200μF 25V	electro
13659202	ECET16R472SW	4700μF 16V	electro
13619102N0	CS15E1A6R8K1S	6.8μF 10V	tantalum
			Line bypass 電解 電解 タンタル

CIRCUIT DESCRIPTION / 回路解説

MPU IC22 Main Board

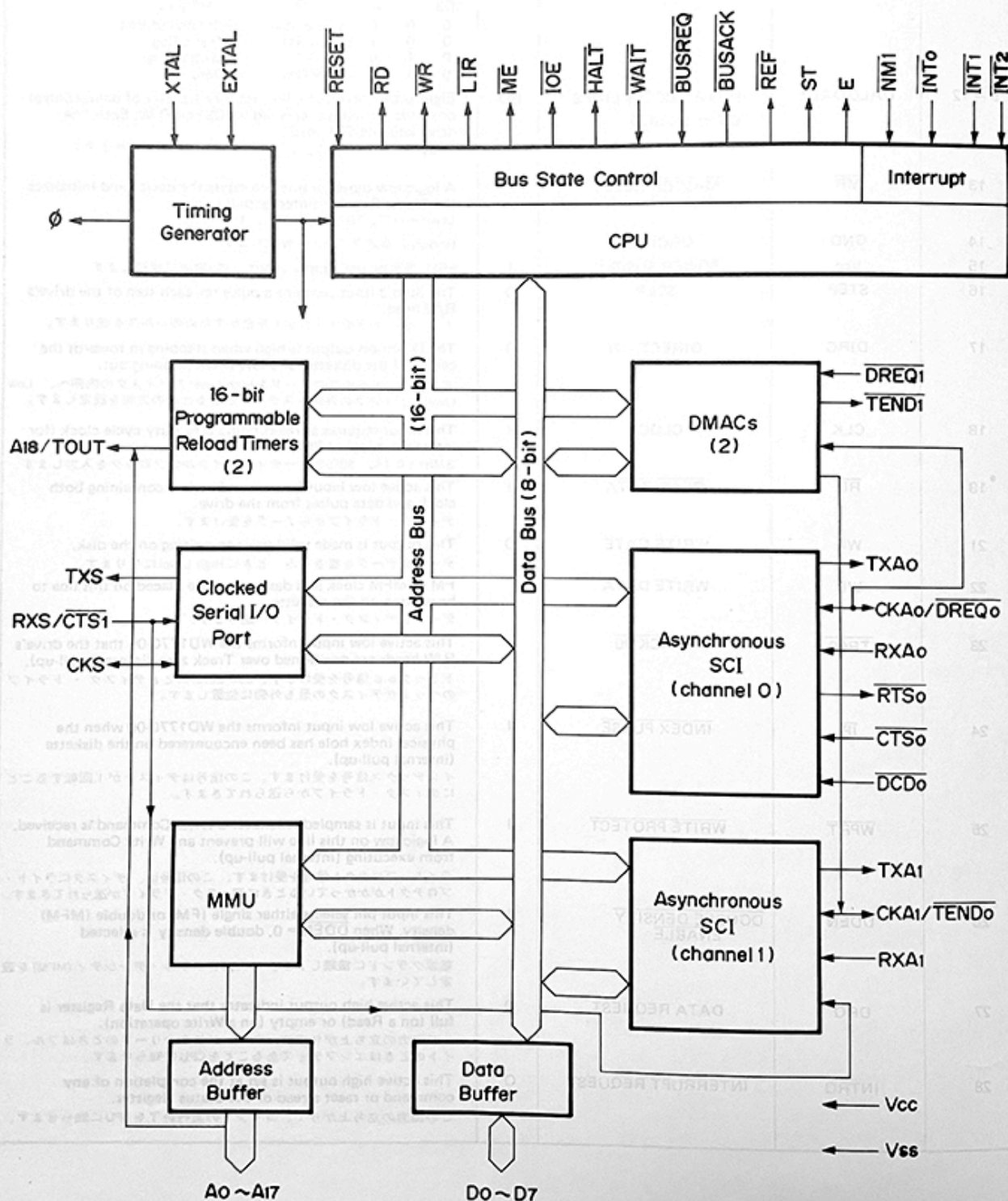
HD64B180ROP is an 8 bit CMOS Micro Processing Unit (MPU) incorporating a Memory Management Unit (MMU), a high speed CPU, two Direct Memory Access Controllers (DMAC), two Programmable Reload Timers, two Asynchronous Serial Communication Interfaces (ASCI) and a serial I/O port.

The device is upward compatible from Z80 and operates on the internal timing generator running at 5MHz.

MPU IC22

HD 64 B180ROPは、CMOS 8ビット・マイクロ・プロセッシングユニット(MPU)でメモリ・マネジメント・ユニット(MMU)、ダイレクト・メモリ・アクセス・コントローラ(DMAC)、タイマ、非同期シリアル・コミュニケーション・インターフェース(ASCI)、クロック同期式シリアルI/Oポート(CSI/O)を内蔵し、Z80CPUと上位コンパチブルです。

5MHzの内部クロックで動作しています。



< Fig. 1 HD64B180ROP BLOCK DIAGRAM >

< Table 1 MPU IC22 Pin Description >

PIN NUMBER	SIGNAL NAME	I/O	DESCRIPTION
1, 33	V _{ss}	I	Ground: connects to the power supply return path. 電源グランドに接地します
2	XTAL	I	Connect to 10MHz Xtal 10MHzの水晶振動子を接続します
3	EXTAL	I	
7	RESET	I	
10	$\overline{\text{INT}} 1$	I	The low input causes the device to be reset. Low Level でCPUはリセット状態になります
11	$\overline{\text{INT}} 2$	I	Interrupt request from FDC FDCからの割り込みを受けつけます
13-31	A ₀ - A ₁₈	O	Tape Sync In Tape Syncのクロックを受けつけます Address bus アドレス・バス
32	V _{cc}	I	Power supply: +5V +5V電源を接続します
34-41	D ₀ - D ₇	I/O	Data bus データ・バス
45	TXA0	O	Transfer data to MIDI OUT 1 MIDI OUT1へデータを出力します
46	RXA0	I	Receive data from MIDI IN MIDI INからのデータを入力します
48	TXA 1	O	Transfer data to MIDI OUT 2 MIDI OUT2へデータを出力します
54	$\overline{\text{DREQ}} 1$	I	Data transfer request to DMAC from FDC FDCより内部DMACへの転送要求を受けつけます
57	$\overline{\text{REF}}$	O	Refresh: low output indicates that the CPU is in refresh cycle. DRAMをリフレッシュするときにLow Levelになります
58	$\overline{\text{IOE}}$	O	I/O Enable: low during I/O accessing in DMA cycle. I/OアクセスのときにLow Levelになります
59	$\overline{\text{ME}}$	O	Memory Enable: low during memory accessing in DMA cycle and in the refresh cycle. メモリ・アクセス、リフレッシュのときにLow Levelになります
60	E	O	Used as a chip select for FDC FDCのチップセレクト(CS)に使用しています
62	$\overline{\text{WR}}$	O	Low when the CPU is in write cycle CPUがライト・サイクルのときにLow Levelになります
63	$\overline{\text{RD}}$	O	Low when the CPU is in read cycle CPUがリード・サイクルのときにLow Levelになります

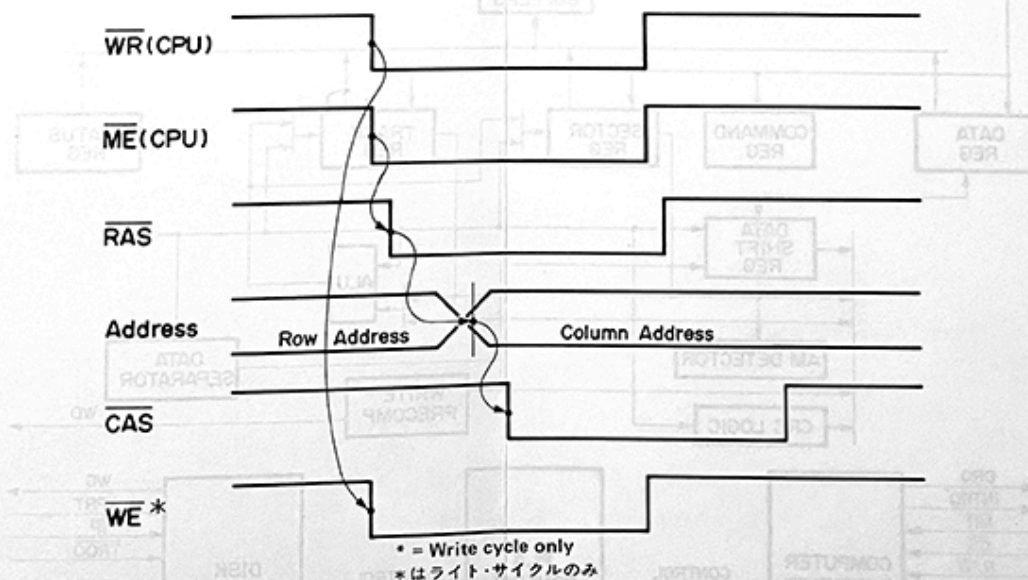
未使用端子は掲載省略

DRAM IC1-IC8 Main Board

These DRAMs feature an access time of 120ns. To ensure a correct addressing timing, therefore, high speed 74ALS257 is used for address multiplexers and associated circuits together with a 20ns delay line. Any of the 74ALS257 must not be replaced with a lower speed one.

DRAM IC1-IC8

DRAMはアクセス・タイム120nsのものが使用されています。このためこれらをコントロールするICはすべて高速のALSタイプのTTLを使用し、さらにタイミングを確保するために20nsのディレイ・ラインを使用しています。交換する際は低速タイプを避けて下さい。Fig. 2にタイミングを示します。



< Fig. 2 >

An address is fed to a DRAM in two parts: on $\overline{\text{RAS}}$ and on $\overline{\text{CAS}}$ while the refreshing is accomplished every 8 μ s by the MPU.

アドレスは $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ の信号によって2回に分けて入力されています。DRAMに必要なリフレッシュは、CPUが約8 μ secに1回の割合で行なっています。

DISK READ AND WRITE

When the CPU wants to access to the disk, it pulls $\overline{\text{MOTOR ON}}$ low. The disk drive sends to the CPU a low $\overline{\text{READY}}$ as soon as the motor running becomes stable, signaling that it is ready to read from or write over the disk. (without WRITE command the drive unit is in the read mode.)

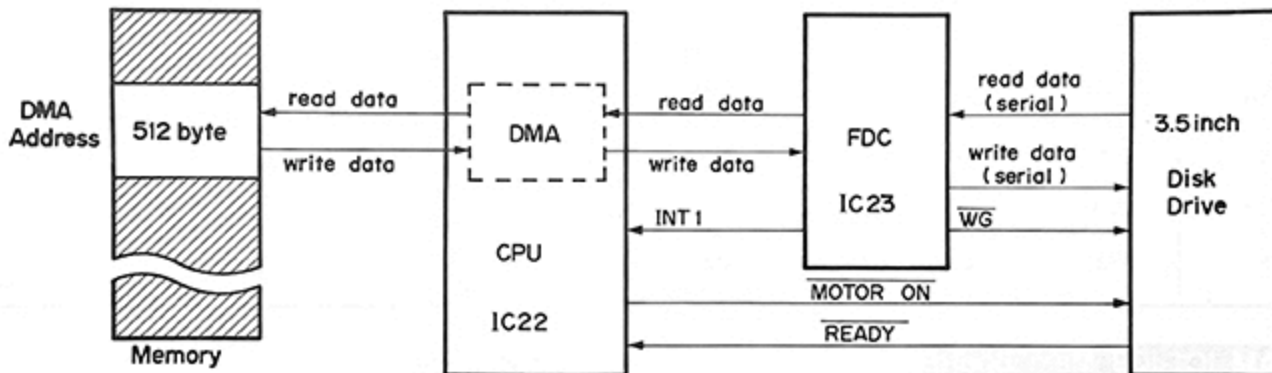
Upon receiving a read command from the CPU, the FDC IC23 reads the disk through the $\overline{\text{RD}}$ pins in serial form. When its internal data register is filled with data of up to 512 byte, the FDC pulls $\overline{\text{RDQ}}$ high, requiring the DMACs in the MPU IC22 to transfer the data to DRAMs (IC1 - IC8). Upon receiving a write command the FDC pulls $\overline{\text{WG}}$ high and places on $\overline{\text{WD}}$ line the 512 byte data derived from DRAMs and sent by DMACs.

The FDC generates a high INT on every completion of read/write cycles to inform the CPU that a command has been executed.

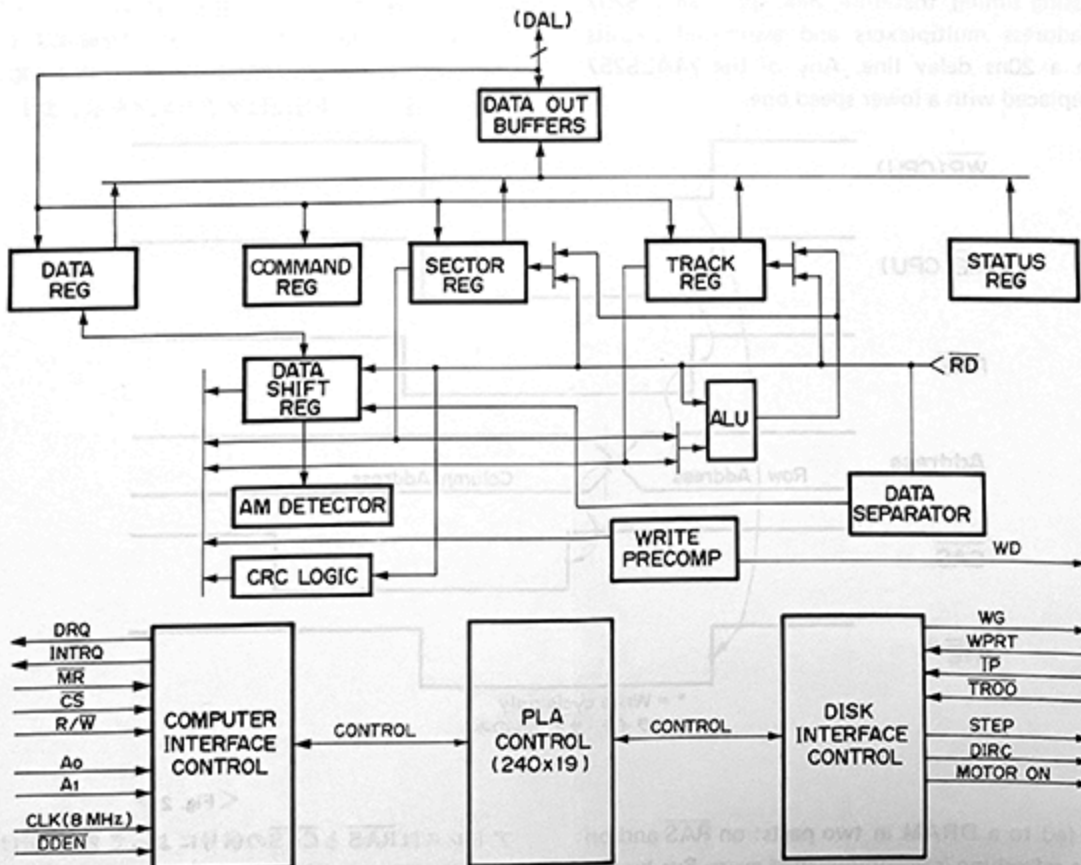
ディスクの読み書き

CPUは、OUTポートを通じてディスク・ドライブへ $\overline{\text{MOTOR ON}}$ 信号(Low Level)を送りディスク・ドライブのモーターを回します。モーターの回転が安定するとディスクドライブは $\overline{\text{READY}}$ 信号(Low Level)をCPUに送りディスクに読み書き可能な状態になったことを伝えます。

FDCはCPUよりリード・コマンドを受けると $\overline{\text{RD}}$ 端子よりシリアルでデータを読み込み、CPUに内蔵されているDMACを使ってメモリー上のDMAアドレス(あらかじめ設定されている)へ書き込みます。またライト・コマンドを受けた場合は $\overline{\text{WG}}$ 信号(Low Level)を送り、 $\overline{\text{WD}}$ 端子よりシリアルでDMAアドレスに書かれてあるデータを書き込みます。FDCは、これらの読み書き(512byte単位)が終了した場合は割り込み(INT1)でそれをCPUへ伝えます。



< Fig. 3 >



< Fig. 4 WD1770 BLOCK DIAGRAM >

< Table 2 FDC IC23 Pin Description >

PIN NUMBER	MNEMONIC	SIGNAL NAME	I/O	DESCRIPTION																									
1	\overline{CS}	$\overline{CHIP\ SELECT}$	I	A logic low on this input selects the chip and enables Host communication with the device. Low LevelでCPUとのコミュニケーションが可能になります。																									
2	R/\overline{W}	$\overline{READ/WRITE}$	I	A logic high on this input controls the placement of data on the $\overline{D0-D7}$ lines from a selected register. While a logic low causes a write operation to a selected register. リード・サイクルのときはHigh level、ライト・サイクルのときはLow Levelにします。																									
3, 4	A0, A1	ADDRESS 0, 1	I	These two inputs select a register to Read/Write data: 次に示すように、この2つの入力によってリード、またはライト・サイクルにおけるFDC内部のレジスタを選択します。 <table border="1" style="margin-left: 20px;"> <tr> <td>\overline{CS}</td> <td>A1</td> <td>A0</td> <td>$R/\overline{W} = 1$</td> <td>$R/\overline{W} = 0$</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Status Reg</td> <td>Command Reg</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Track Reg</td> <td>Track Reg</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Sector Reg</td> <td>Sector Reg</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Data Reg</td> <td>Data Reg</td> </tr> </table>	\overline{CS}	A1	A0	$R/\overline{W} = 1$	$R/\overline{W} = 0$	0	0	0	Status Reg	Command Reg	0	0	1	Track Reg	Track Reg	0	1	0	Sector Reg	Sector Reg	0	1	1	Data Reg	Data Reg
\overline{CS}	A1	A0	$R/\overline{W} = 1$	$R/\overline{W} = 0$																									
0	0	0	Status Reg	Command Reg																									
0	0	1	Track Reg	Track Reg																									
0	1	0	Sector Reg	Sector Reg																									
0	1	1	Data Reg	Data Reg																									
5-12	DAL0-DAL7	DATA ACCESS LINES 0 THROUGH 7	I/O	Eight-bit bi-directional bus used for transfer of data, control, or status. This bus is enabled by \overline{CS} and R/\overline{W} . Each line drive will one TTL load. 8bitのデータ・バスで、データのやりとりに使用されます。																									
13	\overline{MR}	$\overline{MASTER\ RESET}$	I	A logic low pulse on this line resets the device and initializes the Status Register (internal pull-up). Low Levelで、FDCをリセットします。																									
14	GND	GROUND		Ground. 電源グランドに接続します。																									
15	Vcc	POWER SUPPLY	I	+5V $\pm 5\%$ power supply input. +5V電源に接続します。																									
16	STEP	STEP	O	The Step output contains a pulse for each step of the drive's R/W head. ディスク・ドライブにヘッドを動かすためのパルスを送ります。																									
17	DIRC	DIRECTION	O	The Direction output is high when stepping in towards the center of the diskette, and low when stepping out. ディスク・ドライブのヘッドをHigh Levelでディスクの内側へ、Low Levelでディスクの外側へステップさせるための方向を設定します。																									
18	CLK	CLOCK	I	This input requires a free-running 50% duty cycle clock (for internal timing) at 8MHz $\pm 0.1\%$. 8MHz $\pm 0.1\%$ 50%デューティーサイクルのクロックを入力します。																									
19	\overline{RD}	$\overline{READ\ DATA}$	I	This active low input is the raw data line containing both clock and data pulses from the drive. ディスク・ドライブからデータを受けます。																									
21	WG	WRITE GATE	O	This output is made valid prior to writing on the disk. ディスクデータを書き込み、ときにHigh Levelになります。																									
22	WD	WRITE DATA	O	FM or MFM clock and data pulses are placed on this line to be written on the diskette. データをディスク・ドライブへ送ります。																									
23	$\overline{TR00}$	$\overline{TRACK\ 00}$	I	This active low input informs the WD1770-00 that the drive's R/W heads are positioned over Track zero (internal pull-up). トラック00信号を受けます。Low Levelのときディスク・ドライブのヘッドがディスクの最も外側に位置します。																									
24	\overline{IP}	$\overline{INDEX\ PULSE}$	I	This active low input informs the WD1770-00 when the physical index hole has been encountered on the diskette (internal pull-up). インデックス信号を受けます。この信号はディスクが1回転することにディスク・ドライブから送られてきます。																									
25	\overline{WPRT}	$\overline{WRITE\ PROTECT}$	I	This input is sampled whenever a Write Command is received. A logic low on this line will prevent any Write Command from executing (internal pull-up). ライト・プロテクト信号を受けます。この信号は、ディスクにライト・プロテクトがかかっているときにディスク・ドライブが送られてきます。																									
26	\overline{DDEN}	$\overline{DOUBLE\ DENSITY\ ENABLE}$	I	This input pin selects either single (FM) or double (MFM) density. When $\overline{DDEN} = 0$, double density is selected (internal pull-up). 電源グランドに接続します。これは、ダブル・デンシティ(MFM)を設定しています。																									
27	DRQ	DATA REQUEST	O	This active high output indicates that the Data Register is full (on a Read) or empty (on a Write operation). この出力の立ち上がりでデータ・レジスタがリードのときはフル、ライトのときはエンフティであることをCPUに知らせます。																									
28	INTRQ	INTERRUPT REQUEST	O	This active high output is set at the completion of any command or reset a read of the Status Register. この出力の立ち上がりで、コマンドの実行終了をCPUに知らせます。																									

SWITCH READING

Switches on the panel are read through the 4 x 8 matrix as shown below.

スイッチ・マトリクス

パネル上のスイッチは、下図の様に4 x 8のマトリクスを通じて読み込まれます。

		IC19								
		2A4	2A3	2A2	2A1	1A4	1A3	1A2	1A1	
		S. Data 7	S. Data 6	S. Data 5	S. Data 4	S. Data 3	S. Data 2	S. Data 1	S. Data 0	
IC12b	$\bar{Y}3$	SCAN 3	REC/LOAD	PAUSE	STOP	PLAY/SAVE	RESET	MICROSCOPE	AVAIL MEMO	MIDI
	$\bar{Y}2$	SCAN 2	FUNC	MODE	EDIT	RHYTHM TRACK	TRACK 4	TRACK 3	TRACK 2	TRACK 1
	$\bar{Y}1$	SCAN 1	SHIFT	ENTER	REST	TIE	RESET	SKIP	9	8
	$\bar{Y}0$	SCAN 0	7	6	5	4	3	2	1	0

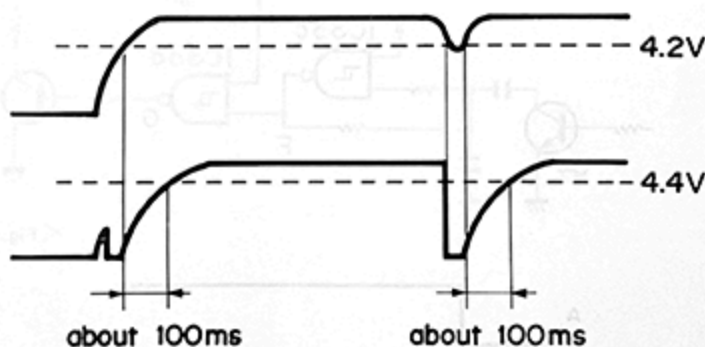
< Table 3 Switch Matrix >

RESET IC17 Main Board

IC17 PST520D is a reset IC. When the voltage on its pin 1 falls below 4.2V, the internal transistor is ON, pulling its output pin 3 low. Recovery of pin 1 voltage up to 4.4V causes the internal transistor to cease conducting, and allows C3 to charge through R7; the designed RC time constant is 100ms.

リセット IC17

IC17 (PST520D)はリセットICで電源電圧が約4.2V以下になると内部のトランジスタがONになり、出力はLow Levelになります。電源電圧が約4.4V迄復帰するとこのトランジスタはOFFになり、R7とC3の時定数で出力は立ち上がります。リセット・タイムは約100msです。



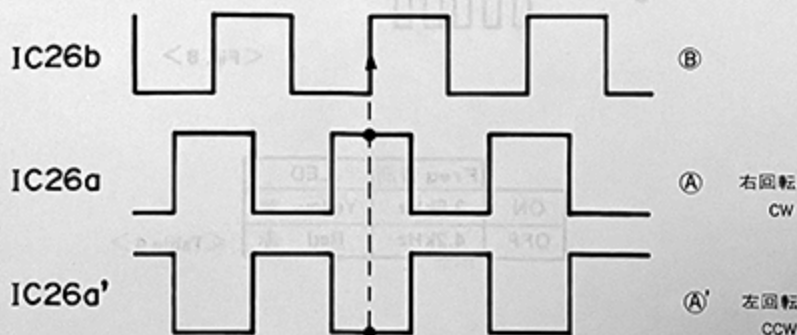
< Fig. 5 >

ROTARY ENCODER α -Dial

Rotary encoder connects a common input to (A) and (B) output pins whose phase are 90 ± 60 degrees out from each other. The phase difference is reversed as the encoder rotates in the opposite direction. A positive going edge from IC26b informs the MPU of the rotation and latches the IC26a output whose level (high or low) enables the MPU to know the direction of the rotation. Then the MPU clears the IC25 for the next latch.

ロータリー・エンコーダ α -ダイヤル

ロータリー・エンコーダを回した時、出力(A)と出力(B)は位相が 90 ± 60 ずれています。そのためIC 26bの出力とIC26aの出力は<Fig. 6>のような関係になります。IC26aの出力はIC26bの出力の立ち上がりでラッチされます。CPUはその立ち上がりでロータリー・エンコーダが回されたことを知り、IC25bでラッチされたデータがHiかLoかによって回された方向を知ります。CPUは、その後IC25をクリアして次のラッチに備えます。



ラッチ・タイミング

< Fig. 6 >

LCD

The MPU places a command on the data bus of the LCD while applying a low on RS pin. Then the MPU sends a character data on the data bus with a high RS.

R6 connecting to V0 pin of LCD unit is for setting the contrast of the LCD. When replacing LCD unit, refer to "CHANGE INFORMATION" on LCD unit circuit diagram because different units have different contrast characteristic.

METRONOME

A high on A gates the IC33d for about 25ms, enabling it to pass signal at F on to the base Q5 (G). Q5 output is level controlled by VR1 and delivered to either METRONOME OUT jack or the internal buzzer driver Q3. The frequency of signal at F is lowered when C8 is connected to a ground by Q4. At the same time lighting BEAT LED is changed from RED to YELLOW.

LCD

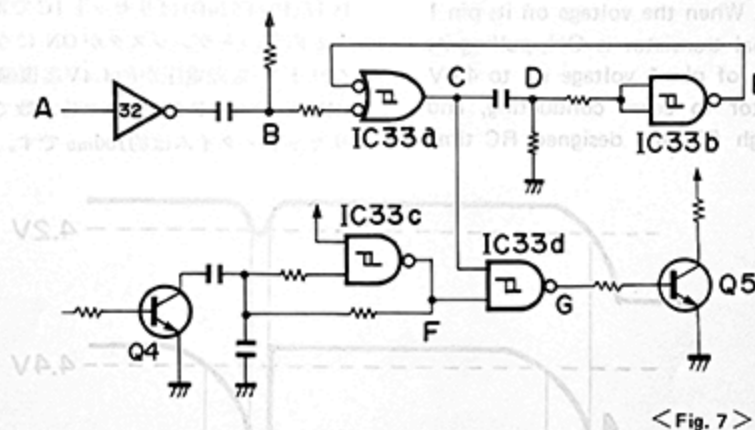
キャラクターは、RS 端子を Low Level にして必要なコマンドを送った後に RS を High Level にしてデータを送ることで表示されます。

V0 端子に接続されている R 6 は、LCD のコントラストを設定するためのものです。LCD ユニットには、コントラスト特性の異なる 2 種類が使用されています。交換の際は、「変更案内」を参照し R 6 の値を確認して下さい。

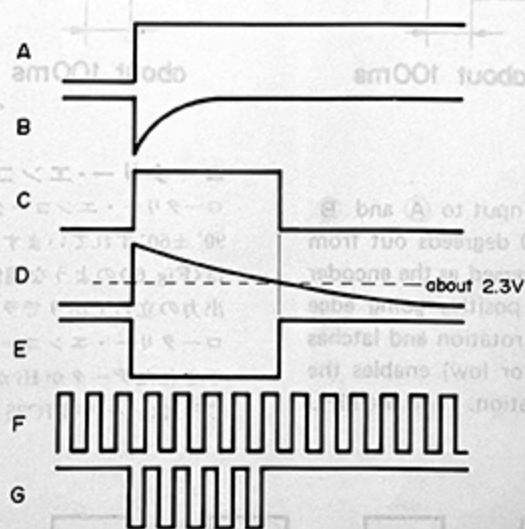
メトロノーム

<Fig. 7>において、A に High Level 信号を入力すると、IC33d は約 25msec の間ゲートを開きメトロノームが鳴ります。その時の各ポイントにおける波形を <Fig. 8> に示します。

Q4 の状態でメトロノームの音高と BEAT LED の色が決まります。<Table 4>



< Fig. 7 >



< Fig. 8 >

	Freq 音高	LED
ON	3.5kHz	Yellow 黄
OFF	4.2kHz	Red 赤

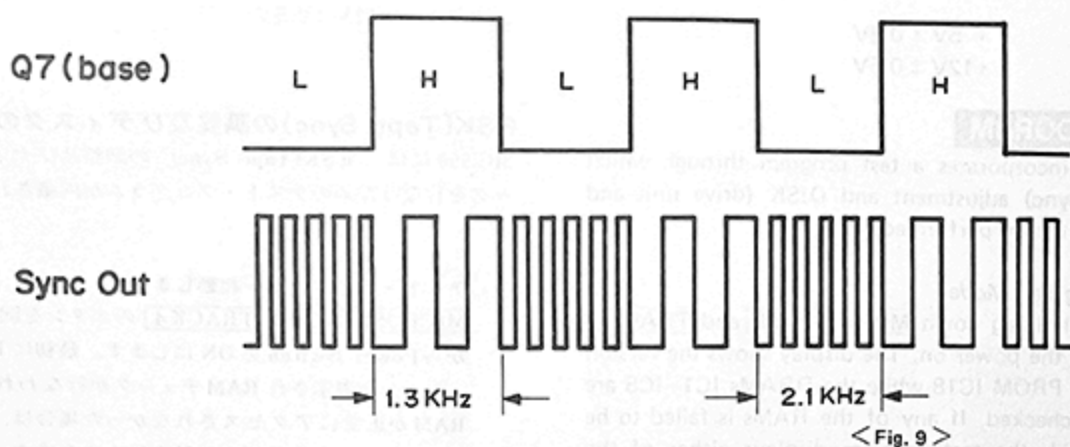
< Table 4 >

TAPE SYNC

Sync pulses fed on Q7 base are FSK modulated before being routed to TAPE SYNC OUT.

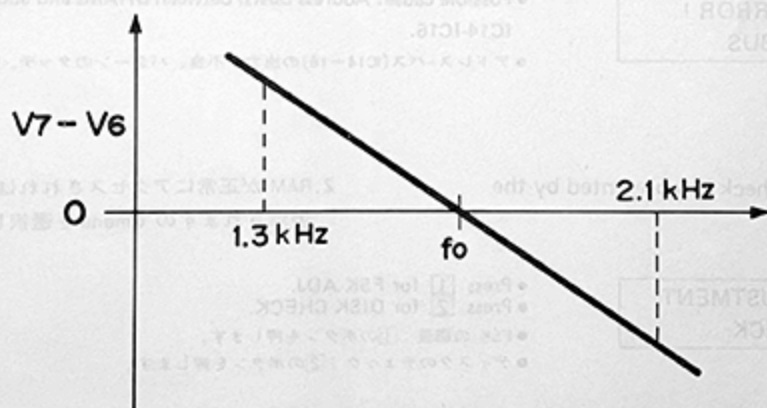
テープ・シンク

Tape Sync Outからは、同期信号が周波数変調して出力されます。(FSK) Q7と出力の関係を<Fig. 9>に示します。



TAPE SYNC IN signal (FSK) coming through IC34b are demodulated at the output of IC35. The frequency-voltage curve varies with respect to the frequency of the internal reference oscillator as shown in figure 10. The 1.3kHz signal causes the IC34a to have a low output and a 2.1kHz a high. When observed at Q8 collector, the relationship between FSK signal and the resultant sync pulse is similar to that of Fig. 9.

Tape Sync Inに同期信号が入力されると、IC35(LM565)は基準周波数 f_0 とその入力周波数とを比較して<Fig. 10>に示すような電圧を6番と7番端子間に出力します。その出力をIC34aでコンパレートすることで復調された信号が取り出されます。



V7: 7番端子の電圧 IC35 pin 7
V6: 6番端子の電圧 IC35 pin 6

< Fig. 10 >

Function	Key
Best wants AOL Stop	←
Forwards AOL Stop	→
Returns to MENU	STOP
Interrupts checking or returns to MENU	ENTER
DISK CHECK	→

CHECKING AND ADJUSTMENT / 点検および調整

CAUTION

Before performing any electrical adjustment or checking, first confirm the following voltages on the Power Supply Board.

+ 5V \pm 0.2V
+12V \pm 0.5V

TEST PROGRAM

The MC-500 incorporates a test program through which FSK (Tape Sync) adjustment and DISK (drive unit and floppy) check can be performed.

1. Entering Test Mode

1-1. While holding down **MICROSCOPE** and **TRACK4**, switch the power on. The display shows the version of the PROM IC18 while the DRAMs IC1-IC8 are being checked. If any of the RAMs is failed to be accessed, the test program displays either of the following error messages and will not run any further:

RAM ACCESS ERROR!
SEE IC2-5

- Possible cause: IC displayed (e.g. IC2 and IC5) or its associated signal lines.
- 表示されたナンバーのICが不良又はその周辺の信号線が不良 (この場合 IC2とIC5) など

RAM ACCESS ERROR!
SEE ADDRESS BUS

- Possible cause: Address bus(s) between DRAMs and address multiplexer(s) 74ALS257 IC14-IC16.
- アドレス・バス(IC14-16)の出力が不良、パターンノイズ、もしくは断線など

2. Success of the RAM check is represented by the MENU below:

1 << FSK ADJUSTMENT
2 << DISK CHECK

- Press **1** for FSK ADJ.
- Press **2** for DISK CHECK.
- FSK の調整: **1** のボタンを押します。
- ディスクのチェック: **2** のボタンを押します。

DC 電圧のチェック

Power Switch を ON にして、各 DC 電圧が次の許容値内に入っていることを確認します。

+ 5 V \pm 0.2 V
+12 V \pm 0.5 V

FSK(Tape Sync)の調整及びディスクのチェック

MC-500 には、FSK(Tape Sync) の調整及びディスクのチェックを行なうためのテスト・プログラムが内蔵されています。

1. テスト・プログラムを起動します。

MICROSCOPE と **TRACK4** のボタンを同時に押えながら Power Switch を ON にします。最初に ROM のバージョンが表示され RAM チェックが行なわれます。もし RAM が正常にアクセスされなかった場合は、次のいずれかのメッセージが表示され動作は止まります。

2. RAM が正常にアクセスされれば、次のようなメッセージが表示されますので menu を選択します。

The following keys function during the test mode. 使用するキーは次の通りです。

	FSK ADJ FSK 調整	DISK CHECK ディスク・チェック
ENTER	Forwards ADJ Step Returns to MENU at the end of ADJ 調整項目をステップ・アップし、最後に menu へ戻る。	Initiates checking or returns to MENU ディスク・チェック・スタートもしくは menu へ戻る
STOP	Returns to MENU menu へ戻る	Returns to MENU menu へ戻る
→	Forwards ADJ Step 調整項目をステップ・アップ	No function (受けつけない)
←	Backwards ADJ Step 調整項目をステップ・ダウン	No function (受けつけない)

3. FSK ADJ

Carry out the adjustments in the order displayed.

FSK OUT FREQ.
ADJ VR3 FOR 1.3kHz

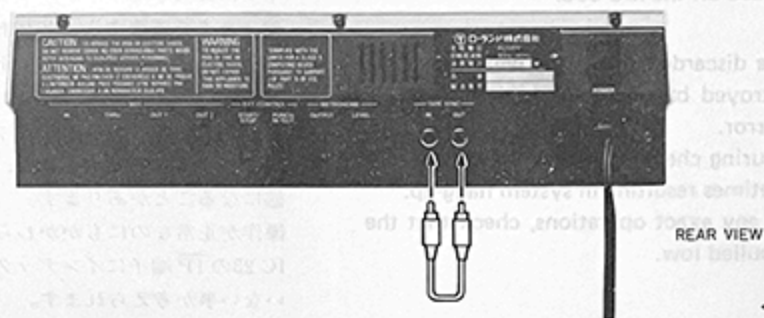
- Connect oscilloscope to TAPE SYNC OUT jack. (Adjust VR3 for 1.3KHz)
- TAPE SYNC OUT をオシロスコープで観て1.3kHzになるようにVR 3を調整します。

FSK OUT FREQ.
VERIFY 2.1kHz 20%

- Observe at TAPE SYNC OUT jack.
- TAPE SYNC OUTをオシロスコープで観て2.1kHz \pm 20%の範囲に入っていることを確認します。

CONNECT FSK OUT
TO FSK IN!

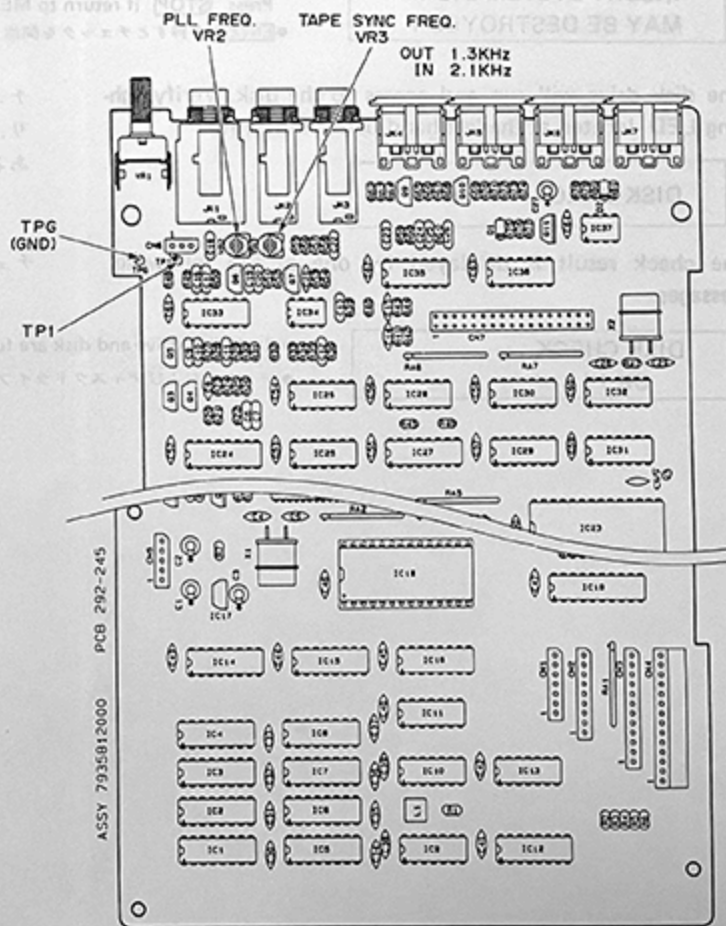
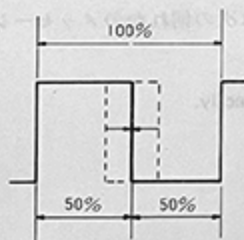
- Connect TAPE SYNC OUT to TAPE SYNC IN. Leave the IN and OUT connected for the next adjustment.
- TAPE SYNC OUTとTAPE SYNC INを接続します。(次の調整及びチェックに絶対必要です!)



< Fig. 11 >

TP-1 DUTY CYCLE
ADJ VR2 FOR 50%

- Connect oscilloscope to TP-1 of the Main Board.
- メイン・ボードのTP-1をオシロスコープで観て、波形がデューティ50%になるようにVR 2を調整します。



< Fig. 12 >

The resultant will be either of:

FSK IN ADJUSTMENT
OK!!

- FSK ADJ is complete.
- TAPE SYNCの動作は正常です。

FSK IN ADJUSTMENT
FAILED?

- No signal from TAPE SYNC IN or Adjustment error or Defective component, etc.
- TAPE SYNC INから信号が入力されません。調整が不完全もしくは部品の不良、パターンノッチ、断線など。

4. DISK CHECK

Perform the checking in the order displayed.
Insert a disk initialized on the MC-500.

CAUTIONS:

Use a disk that can be discarded since files will be lost or the disk may be destroyed by any unforeseen circumstances such as checking error.

Dislodging the disk during checking makes the subsequent checking invalid, sometimes resulting in system hang-up.

If hang-up occurs by any exact operations, check that the IP pin of IC23 is not pulled low.

4. ディスクのチェック

MC-500でイニシャライズしたディスクをディスク・ドライブに挿入して下さい。チェックの結果エラーだった場合ディスクを破壊することがありますので、破壊してもかまわないディスクを使用して下さい。

注意

ディスクのアクセス中にディスクを抜いた場合、その後のチェックは無効です。また、この時はハング・アップの状態になることがあります。

操作が正常なのにもかかわらずハング・アップした場合はIC 23のIP端子にインデックス・パルスが受け付けられていない事が考えられます。

INSERT SYSTEM DISK
MAY BE DESTROYED!

- Press **ENTER** to start checking.
Press **STOP** if return to MENU.
- **ENTER** を押すとチェックを開始し、**STOP** を押すと menuへ戻ります。

The disk drive will run and access to the disk. Verify lighting LED located at the left hand below disk slot.

DISK CHECK

チェックを開始すると、ディスク・ドライブのモータが回り、ディスクをアクセスします。この時、挿入口の左下にある赤のLEDが点灯していることを確認して下さい。

The check result is displayed by one of the following messages.

DISK CHECK
OK!!

- Both disk drive and disk are functioning correctly.
- ディスクおよびディスクドライブ共にOKです。

チェックの結果は次の何れかのメッセージで表示されます。

Error messages

NOT AN MC-500
SYSTEM DISK !

異常がある場合は、状態に応じて以下の様なメッセージが表示されます。

- Insert a correct disk.
- MC-500のシステム・ディスクではない。

DISK READY SIGNAL
NOT RECEIVED !

- Disk is not loaded or $\overline{\text{READY}}$ pin of the drive unit remains pulled up.
- ディスクが挿入されていない。
- ディスク・ドライブの $\overline{\text{READY}}$ 端子が High Level に固定している。

WRITE PROTECT SIGNAL
RECEIVED !

- Disk is write protected or $\overline{\text{WPRT}}$ of IC23 pin remains at low level.
- ライト・プロテクトがかかっているディスクが挿入された。
- IC23の $\overline{\text{WPRT}}$ 端子が Low Level に固定している。

DISK
DESTROYED ?

- Disk may have been destroyed.
- ディスクが破壊されたかもしれない。

DISK WRITE
FAILED !!

- WG pin of the drive unit will not go low or $\overline{\text{SIDE SEL}}$ pin of the drive unit is kept either low or high; or Broken disk.
- ディスク・ドライブの WG 端子が Low Level にならない。
- ディスク・ドライブの $\overline{\text{SIDE SEL}}$ 端子がどちらかの Level に固定している。
- ディスクが破壊されている。

DISK READ
FAILED !!

- Disk in different format or Disk is destroyed.
- フォーマットの違うディスクを挿入した。
- ディスクが破壊されている。

TRACK 00 SIGNAL
NOT RECEIVED !

- $\overline{\text{TRACK00}}$ pin of IC23 is kept high or Disk is destroyed.
- IC23の $\overline{\text{TRACK00}}$ 端子が High Level に固定している。
- ディスクが破壊されている。

DATA IS
LOST !

- DRQ of IC23 is not fed to the CPU.
- IC23の DRQ 出力が CPU に入力されない。

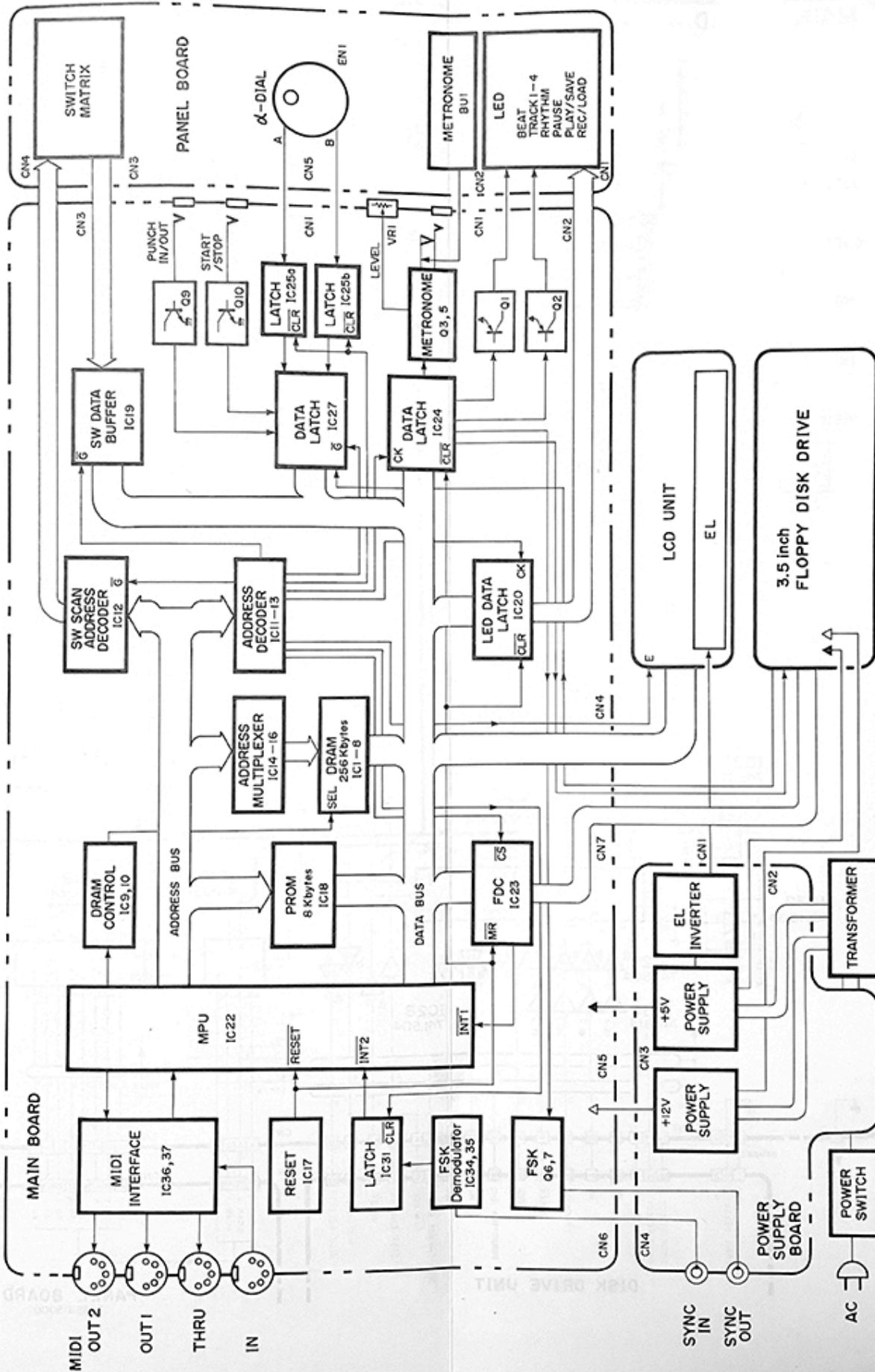
IMPORTANT!

Do not attempt to repair the disk drive unit. No field serviceable parts inside.

注意!

ディスク・ドライブが不良の場合は、ユニット全体を交換して下さい。個別部品は補修パーツとして取り扱いませんので、内部には触れないで下さい。

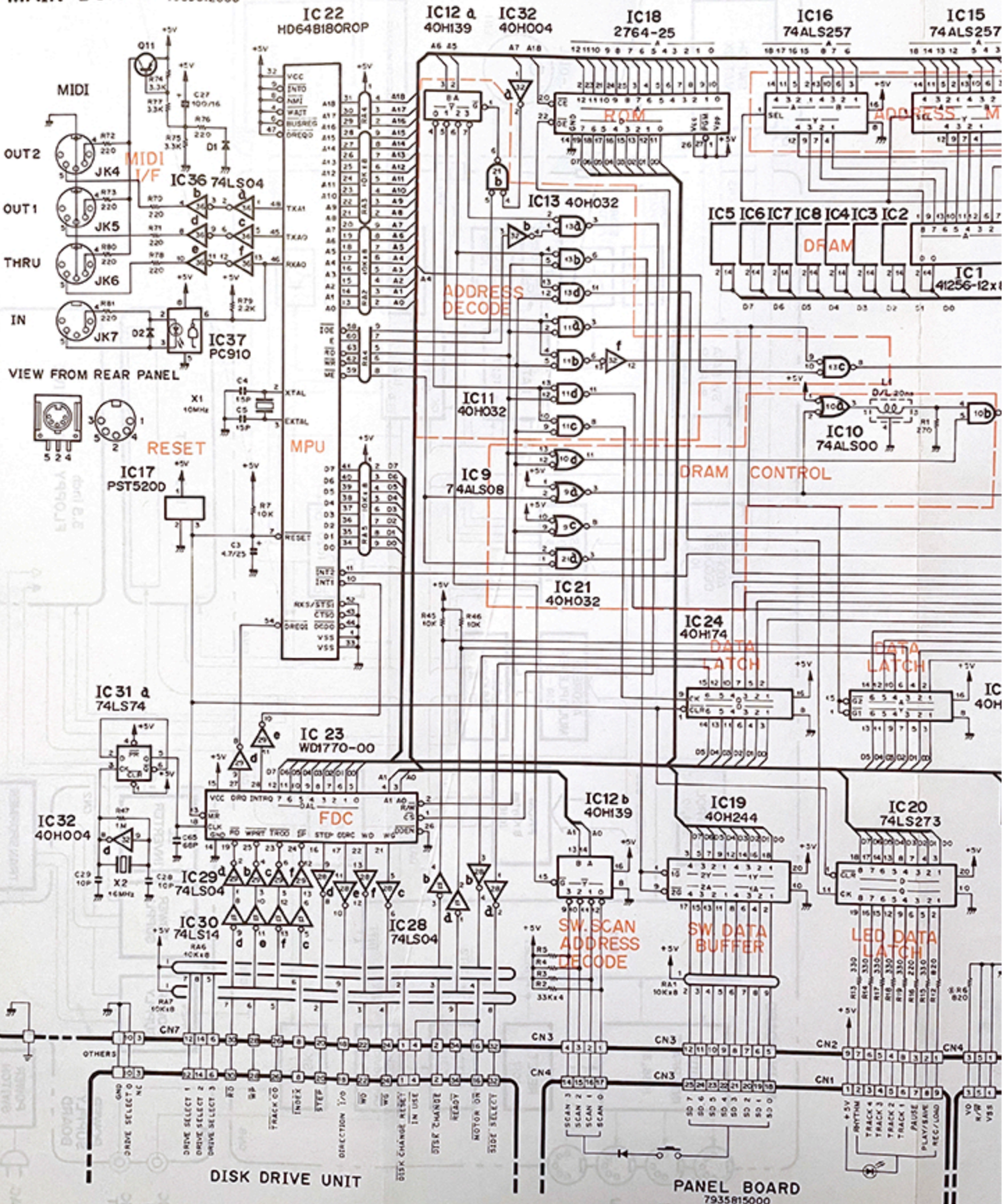
BLOCK DIAGRAM



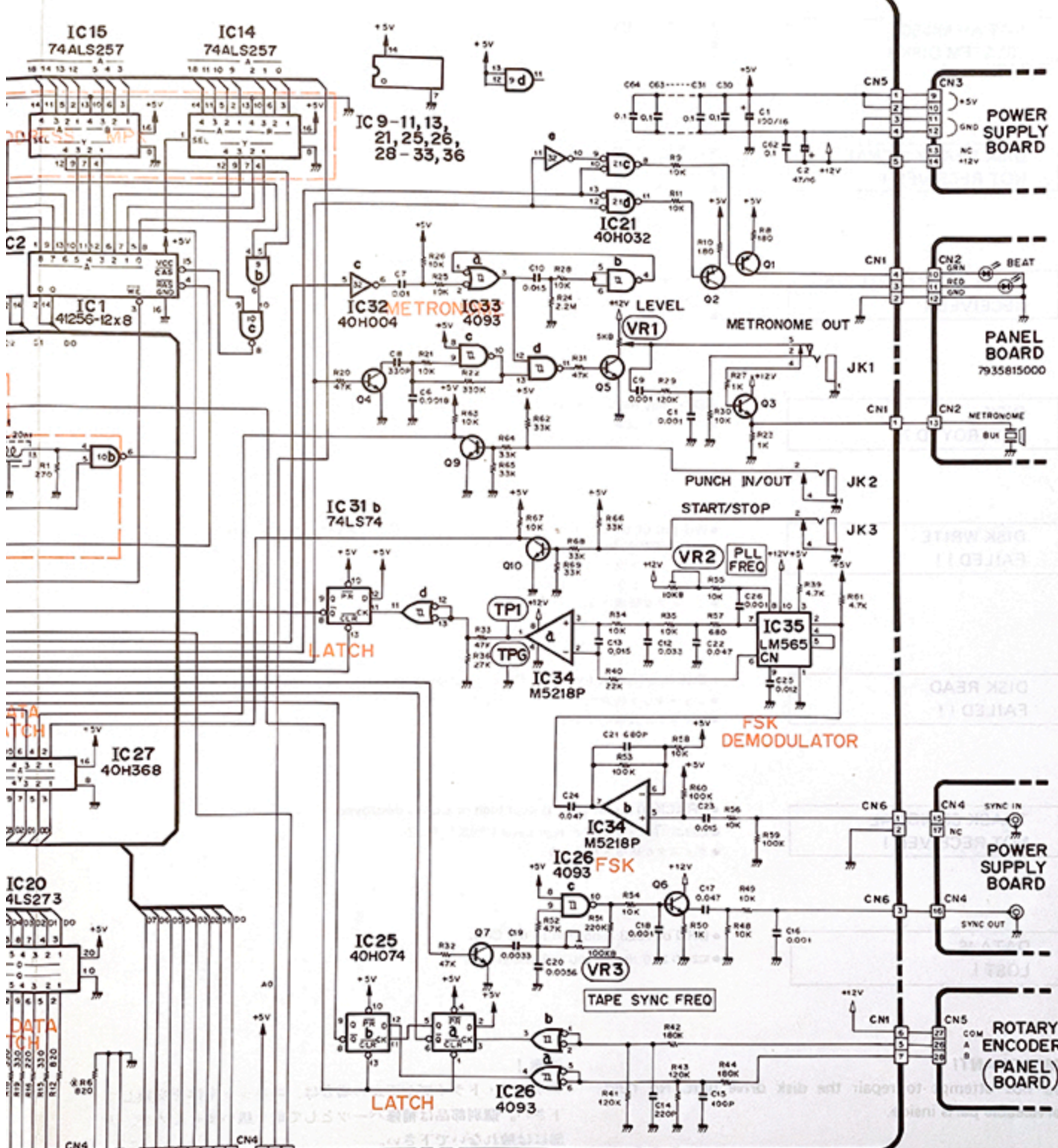
CIRCUIT DIAGRAM

7 8 9 10 11 12 13 14 15 16

MAIN BOARD 7935812000



5 16 17 18 19 20 21 22 23 24 25 26 27 28

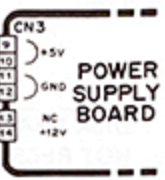


Notes)
 PNP TR : 2SA933-R
 NPN TR : 2SC1740-R
 DIODE : 1S5133T-77
 LAST NUMBER : IC37, Q11, Q2, R81, C65, R47, VR3, TP1, CN7
 ABSENT NUMBER : Q8, R37, 38

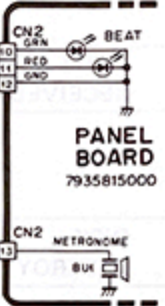
Note:
 R6 determines the contrast of LCD.
 Refer to "CHANGE INFORMATION" on LCD UNIT circuit diagram.
 R 6はLCDのコントラスト調整用。
 → LCD UNITの変更案内参照



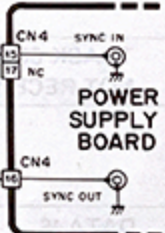
LCD UNIT



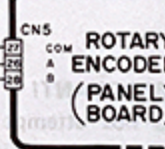
POWER SUPPLY BOARD



PANEL BOARD 7935815000



POWER SUPPLY BOARD

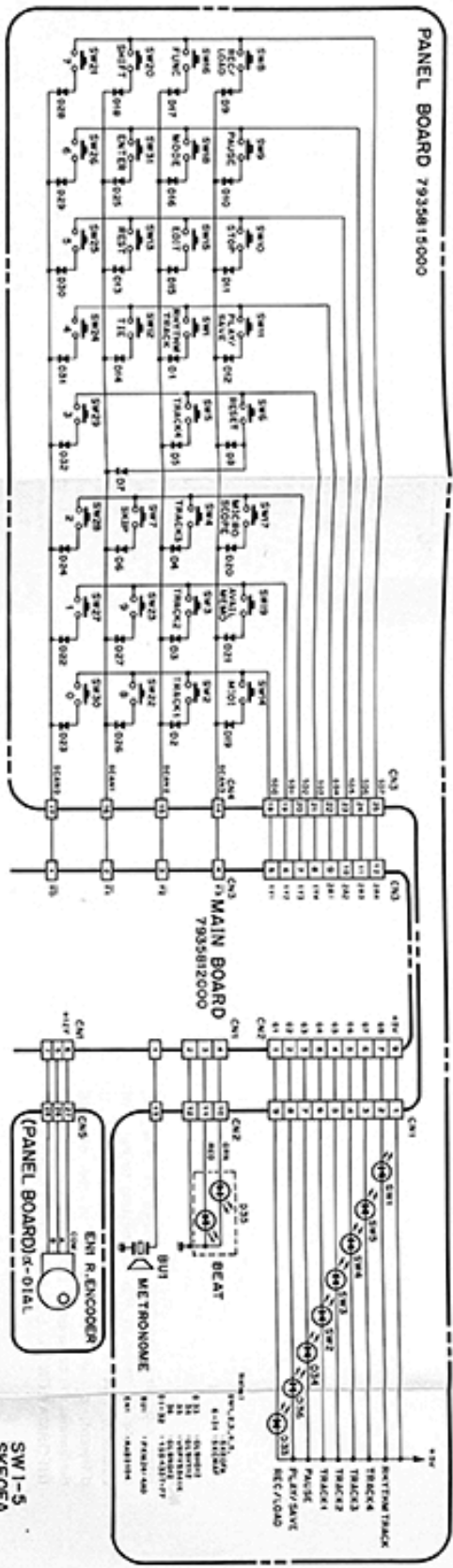


ROTARY ENCODER (PANEL BOARD)

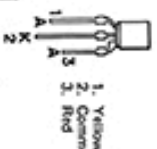
PANEL BOARD 7935815000 (pcb2292524600)

(Including ENCODER BOARD)

Keyswitch (SKCMAF, SW6-31) mount on Panel board through holes in Holder B.
 キースイッチ (SKCMAF, SW6-31)は、ホルダーBを介してパネル基板に取付を行います。

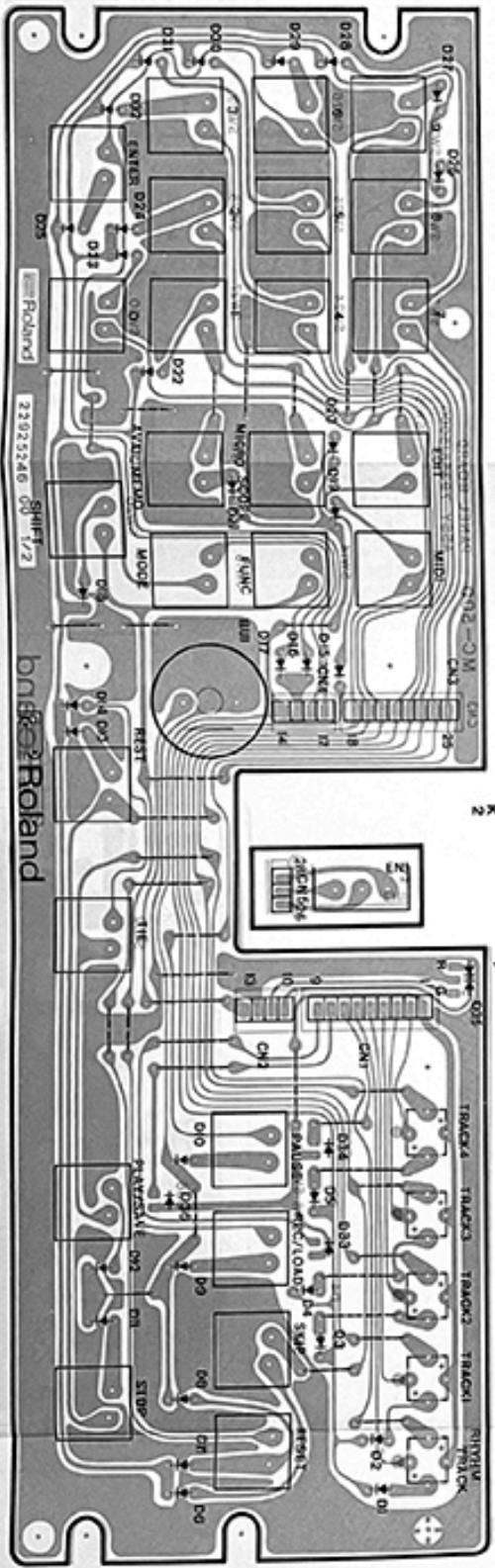
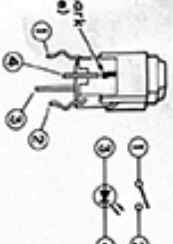


D35 VRPY534IK



CORRECTION:
 R and G are inadvertently printed at reversal location.
 注意: シェル内のRとGが逆に印刷されています。D35交換の際は、向きに注意してください。

A violet mark (cathode)



1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20

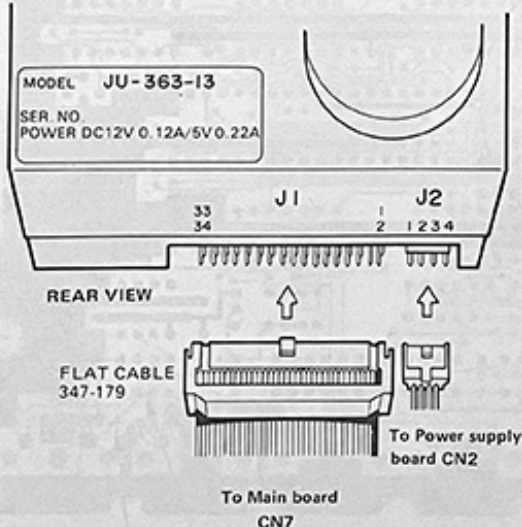
MAIN BOARD 7935812000 (pcb2292524501)

SN 600650-UP

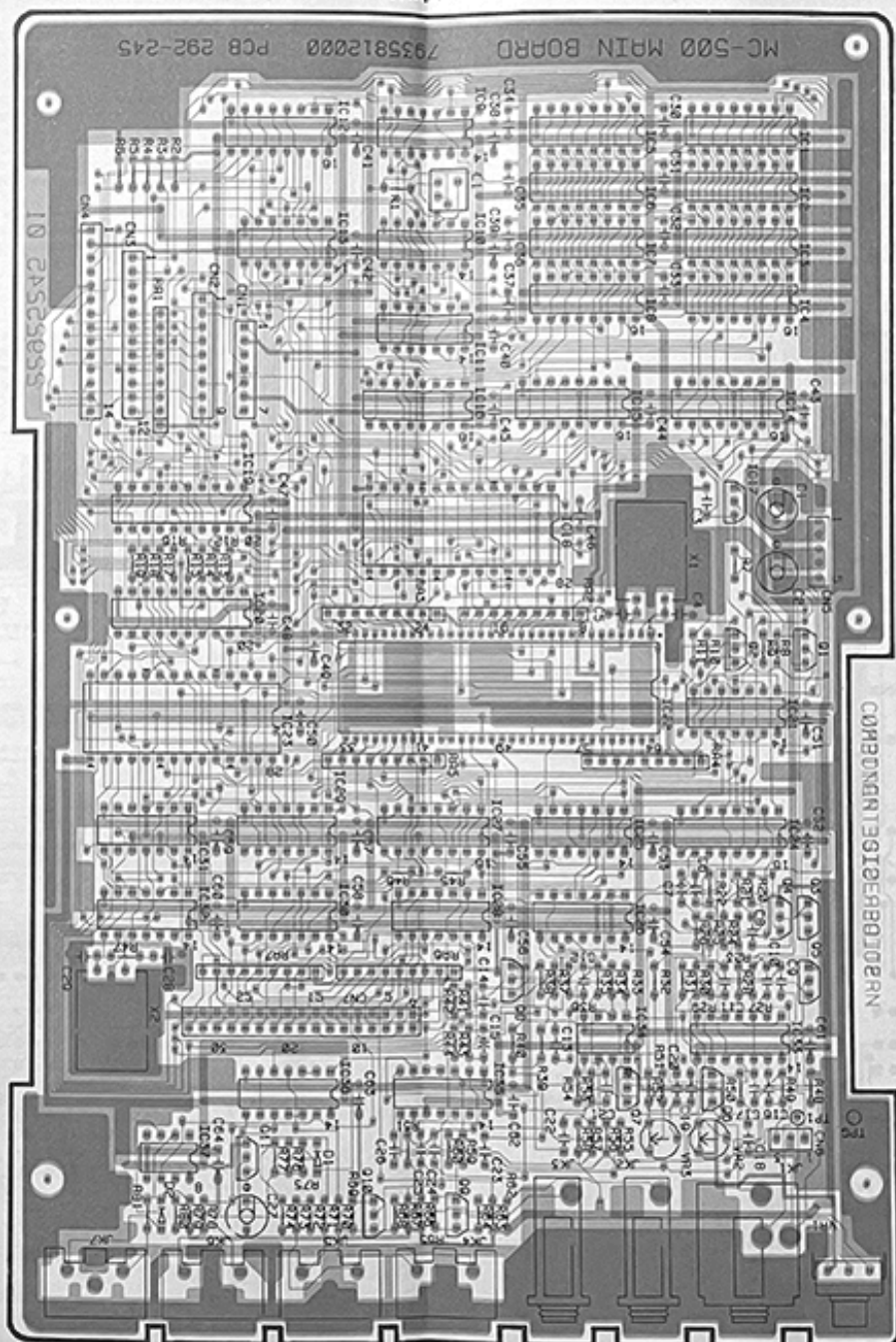
製番600650以降

See page 16 for PCB used with products serial numbered 590649 and below.

製番590649以前の基板は16ページに掲載。

CHANGE INFORMATION
変更案内unused 未挿入
Q8, R37, 38R34 10k Ω 裏付け
R40 22k Ω 裏付け
C65 68pF
mount on foil sideJumper (3 points)
ジャンパー線 3箇所Wire-bridged
メッキ線 1箇所Cut (2 points)
カット 2箇所See page 16.
(pcb2292524500)
詳細は16ページ参照
(pcb2292524500と同様)**DISK DRIVE UNIT**
JU-363-13No field serviceable parts inside.
Replace as a whole unit.補修用として、ユニットで供給されます。
修理の際は、内部に手を触れないでユニットごと交換して下さい。

View from component side 部品面



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T

SN up to 590649
製番590649迄

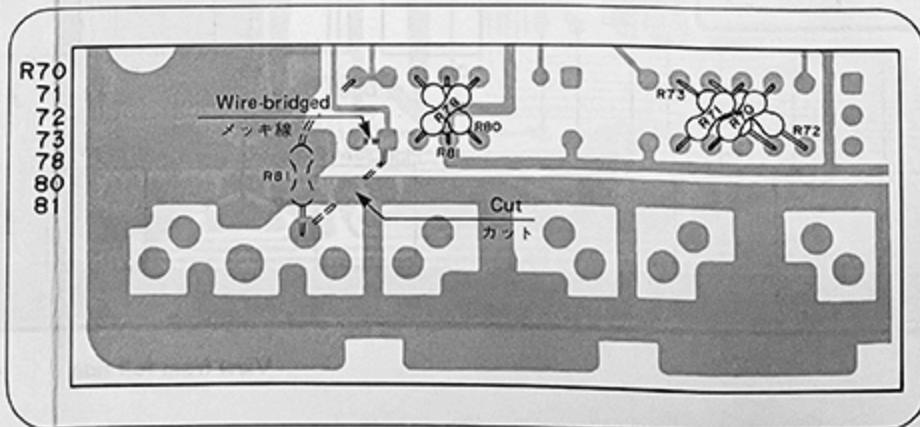
MAIN BOARD (pcb2292524500)

NOTE:

When replacing with PCB 22925245 01 or higher, compare the value of R6s (connecting to pin 3 of connector CN4) on both the new and the old PCBs. If different, change the new R6 to the old. R6 determines the contrast of LCD. Refer to "CHANGE INFORMATION" on LCD UNIT circuit diagram.

注意:

本基板を PCB 22925245 01以降の基板と交換する際は、コネクタ CN4 の 3 番ピンに接続されている R6 の値を比較して下さい。異なる場合は、旧基板の値に従います。(R6 は LCD のコントラスト調整用。LCD UNIT の変更案内参照。)

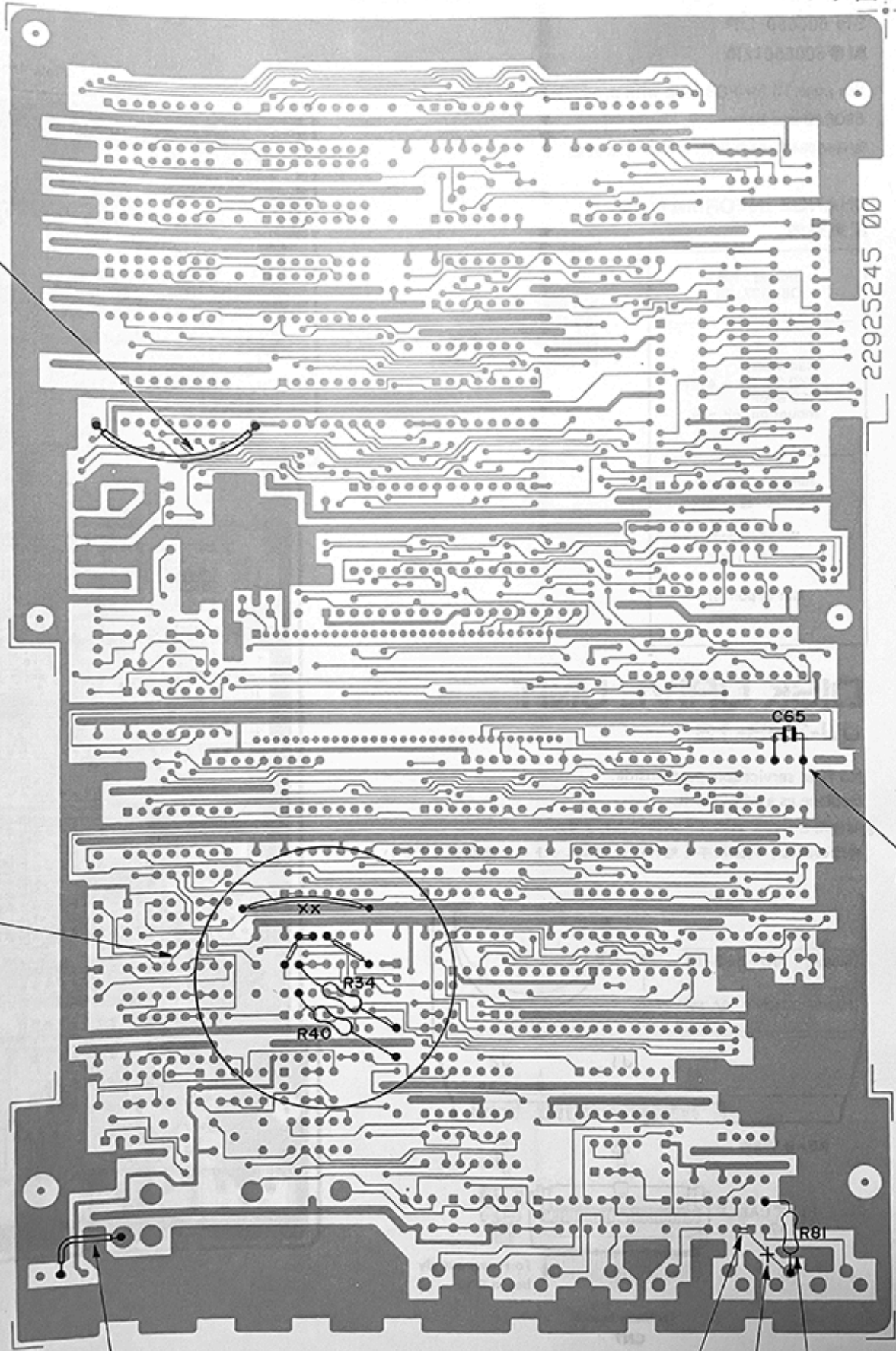


Enlarged

拡大図

View from foil side

ハンダ面



22925245 00

C65

C65
68pF

XX

R34

R40

R81

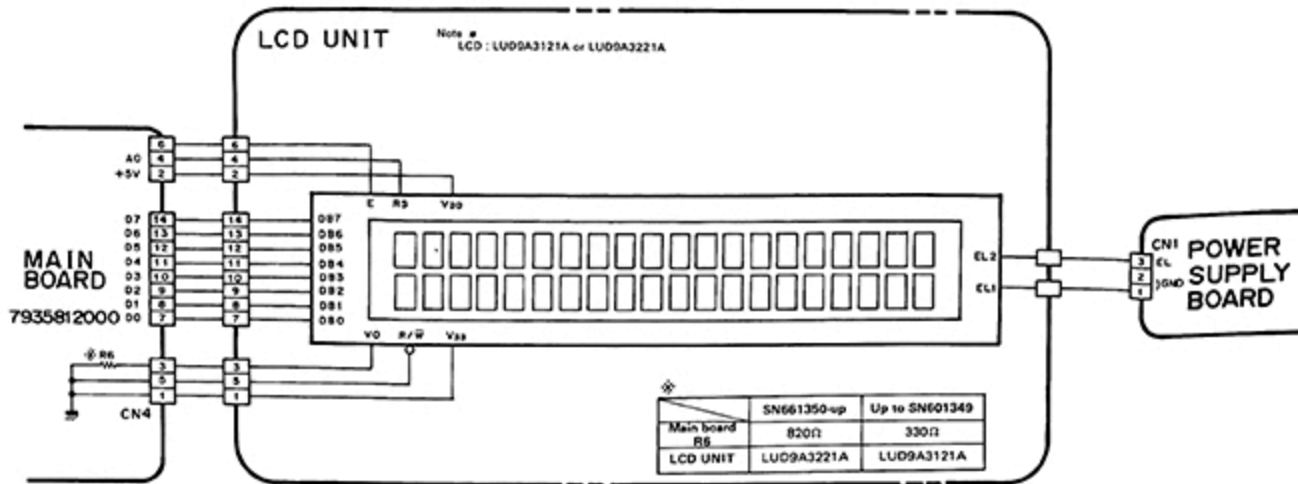
Jumper
ジャンパー線

Wire-bridged
メツキ線
Cut
カット
R81
220Ω

LCD UNIT

Replacement LCD UNIT includes: LCD, EL, PCB, ICs and wirings. Individual components are not considered as replaceable parts.

補修用ユニットは、LCD、EL、基板、IC、ワイヤリングを含んだ完成個々の部品は、補修部品の対象となりません。



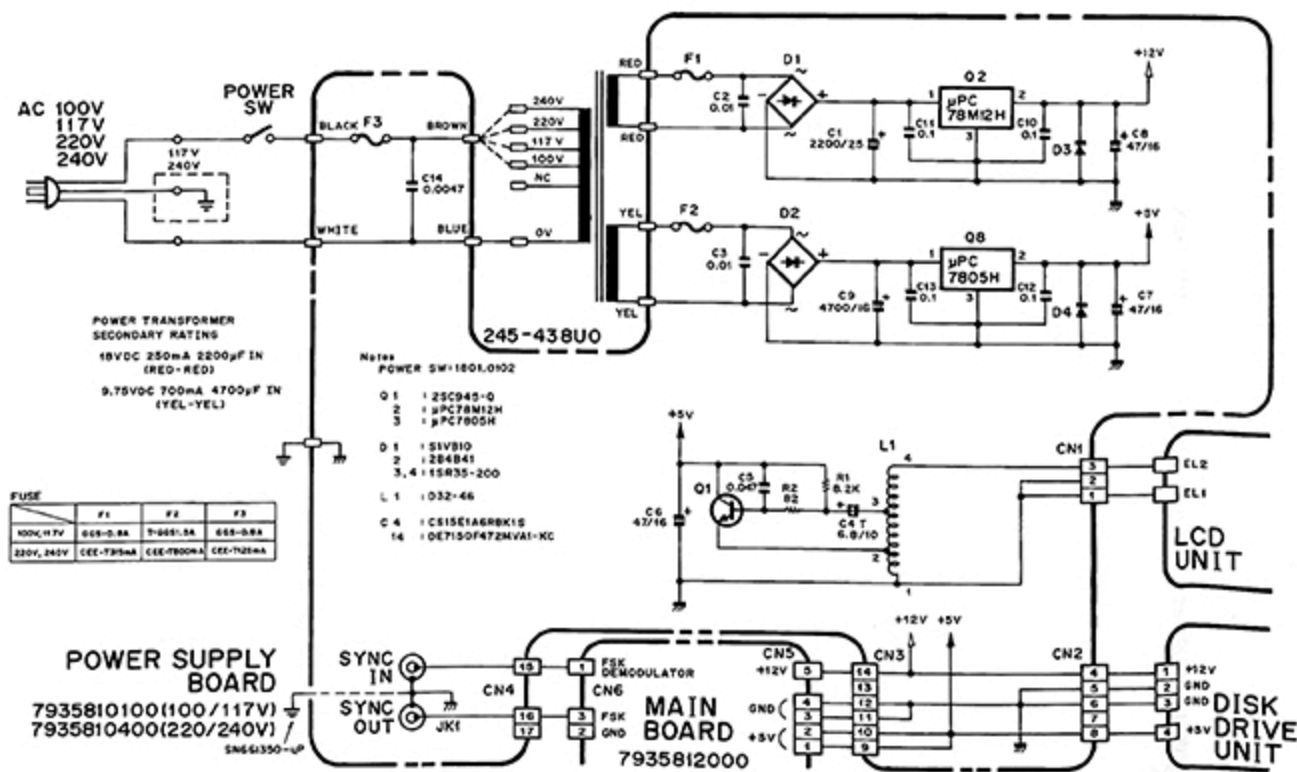
CHANGE INFORMATION: SN661350-up

Change LCD from LUD9A3121A to LUD9A3221A. No other changes on the LCD UNIT. However, due to intensity (contrast) difference, R6 on the Main board is also changed. The new unit has an LCD label for identification.

変更案内 製番661350より

LCDをLUD9A3221Aに変更。他の部品は変わりません。新しいユニットにはLCDのラベルが貼付されています。LCDのコントラスト性能が異なる為、メイン基板上のR6も変更されています。

78N
78C



CHANGE INFORMATION:

PCBs used with products serial numbered 661350-up or for replacement have grounding wire. It may be removed if the existing one omits.

変更案内: シャーシ・アース線

製番661350以降の基板には、CSA対策のためこのワイヤリングが追加されています。補修用基板はワイヤリングが付いて供給されますが、製番601349迄の製品には特に付ける必要はありません。

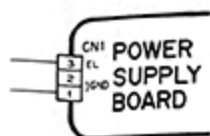
POWER SUPPLY BOARD (pcb2292524700)

7935810100(100/117V)
7935810400(220/240V)

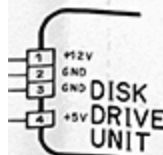
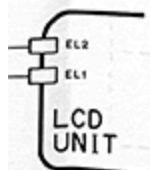
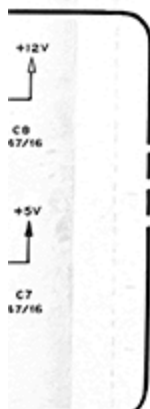
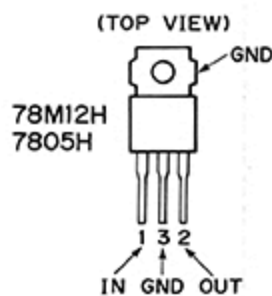
イヤリングを含んだ完成品です。

Replacement supplied may differ in version from what ordered. Any version can be used when the fuses are carefully checked for value against circuit diagram and changed as necessary.

電圧区分による相違は、ヒューズおよびヒューズ貼マークだけです。補修用基板は全電圧共通ですので、取付けの際はヒューズの値に注意して下さい。

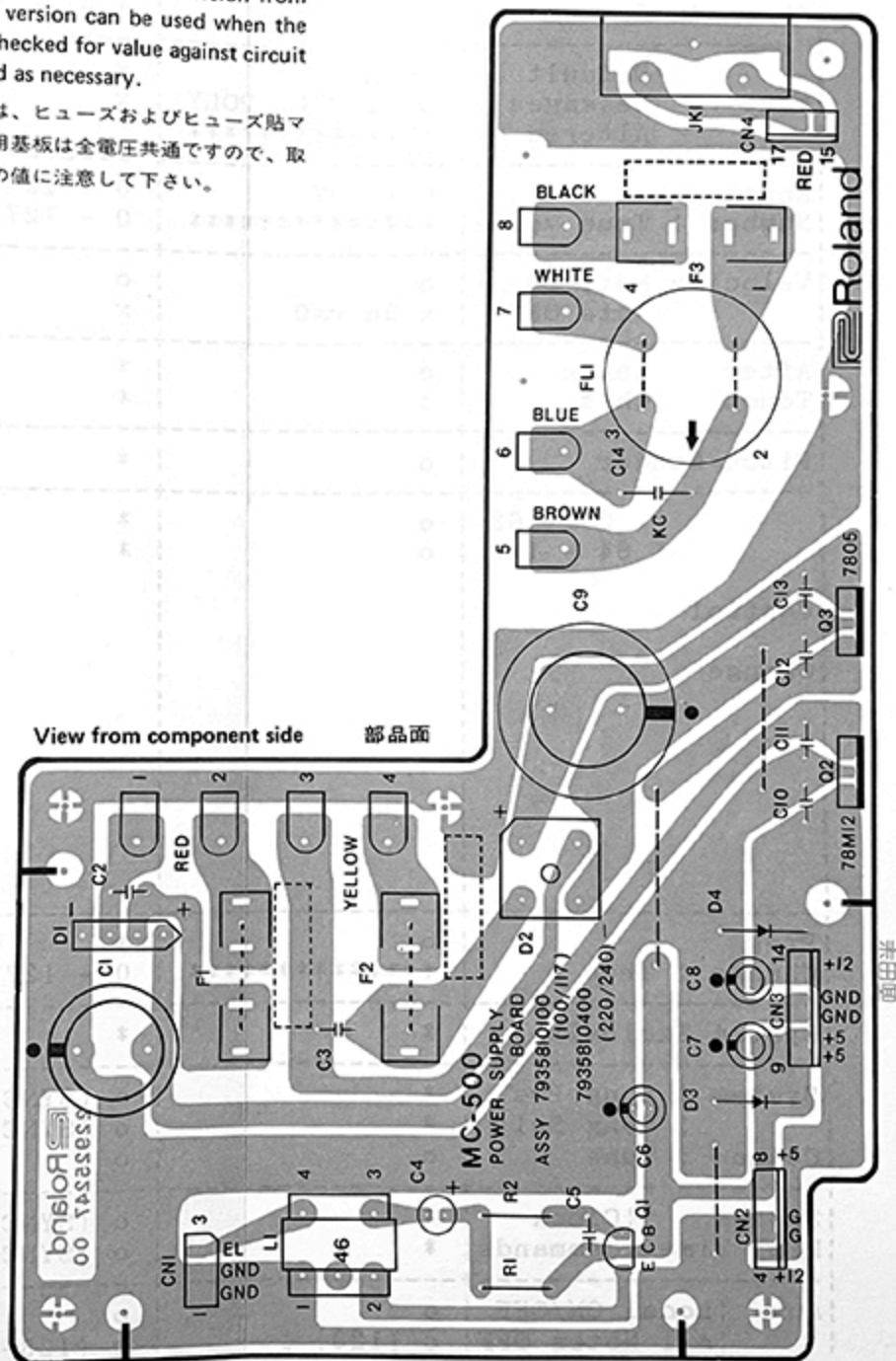


新しいユニット
スト性能が異なる



のワイヤリング

すが、製番6013



CORRECTION:

Silked symbol Q1 on the PCBs SN up to 601349 was inadvertently given the reversed orientation.

注意:

製番601349迄の基板は、Q1のシルクの向きが間違っています。修理の際は、トランジスタの向きに注意して下さい。

MIDI Real Time Recorder for MC-500

MRC-500 MIDI Implementation Chart

Function ...		Transmitted	Recognized	Remarks
Basic Channel	Default Changed	all ch x	all ch 1 - 16 each	not BASIC ch
Mode	Default Messages Altered	Mode 3 OMNI OFF, POLY *****	x x	**
Note Number	True voice	0 - 127 *****	0 - 127 0 - 127	
Velocity	Note ON Note OFF	o x 9n v=0	o x	
After Touch	Key's Ch's	o o	* *	
Pitch Bender		o	*	
Control Change	0 - 63	o	*	
	64 - 121	o	*	
Prog Change	True #	o *****	* 0 - 127	
System Exclusive		*	*	
System Common	Song Pos Song Sel Tune	* * o	o (SYNC CLOCK = MIDI) o (SYNC CLOCK = MIDI) o	
System Real Time	Clock Commands	* *	o (SYNC CLOCK = MIDI) o (SYNC CLOCK = MIDI)	
Aux Messages	Local ON/OFF All Notes OFF Active Sense Reset	o o (123) x x	o o (123-127) x x	
Notes		* Can be set to o or x manually.		
		** When power is first applied, OMNI OFF, POLY ON are sent for all channels (1-16).		

Mode 1 : OMNI ON, POLY
Mode 3 : OMNI OFF, POLY

Mode 2 : OMNI ON, MONO
Mode 4 : OMNI OFF, MONO

o : Yes
x : No

MIDI Real Time Recorder for MC-500

MRC-500 MIDI Implementation

1. RECOGNIZED RECEIVE DATA

1.1 Memorized messages while in RECORD mode

Status	Second	Third	Description	
1000	nnnn	0kkk kkkk	0vuv vvvv	Note OFF #1
1001	nnnn	0kkk kkkk	0000 0000	Note OFF
1001	nnnn	0kkk kkkk	0vuv vvvv	Note ON vvvvvv = 1 - 127
1010	nnnn	0kkk kkkk	0vuv vvvv	Polyphonic Key Pressure #2
1011	nnnn	0ccc cccc	0vuv vvvv	Control Change #2
1100	nnnn	0ppp pppp		Program Change #2
1101	nnnn	0vuv vvvv		Channel Pressure #2
1110	nnnn	0vuv vvvv	0vuv vvvv	Pitch Wheel Change #2
1111	0000	Exclusive message #2,3
1111	0110	...	1111 0111	Tune Request

1.2 Recognized only

Status	Second	Third	Description	
1011	nnnn	0111 1011	0000 0000	ALL NOTES OFF #4
1011	nnnn	0111 1100	0000 0000	OMNI OFF #5
1011	nnnn	0111 1101	0000 0000	OMNI ON #5
1011	nnnn	0111 1110	0000 0000	MONO ON #5
1011	nnnn	0111 1111	0000 0000	POLY ON #5
1111	0010	0ppp pppp	0ppp pppp	Song Position Pointer #6,7
1111	0011	0sss ssss		Song Select #6,7 ssssss = 0-7 (SONG 1-8)

1.3 Recognized messages for sync.

Status	Description	
1111 1000	Timing Clock	#7
1111 1010	Start	#7
1111 1011	Continue	#7
1111 1100	Stop	#7

- notes : #1 Memorized as
1001 nnnn 0kkk kkkk 0000 0000.
- #2 Memorized when corresponding function is set to ON.
 - #3 The message is ignored if the data byte count is over 300.
 - #4 When all notes are not OFF, this unit creates OFF's for those notes.
 - #5 Recognized as only an ALL NOTES OFF.
 - #6 Recognized while in STOP mode.
 - #7 When SYNC CLOCK is set at MIDI.

2. TRANSMITTED DATA

- 2.1 All memorized messages are transmitted on Playing.
- 2.2 All received messages are transmitted if SOFT THRU is ON.
- 2.3 Created messages

Status	Second	Third	Description	
1011	nnnn	0111 1011	0000 0000	ALL NOTES OFF #1
1011	nnnn	0111 1100	0000 0000	OMNI OFF #2
1011	nnnn	0111 1111	0000 0000	POLY ON #2
1111	0010	0ppp pppp	0ppp pppp	Song Position Pointer #3
1111	0011	0sss ssss		Song Select #3 ssssss = 0-7 (SONG 1-8)
1111	1000			Timing Clock #3
1111	1010			Start #3
1111	1011			Continue #3
1111	1100			Stop #3

- notes : #1 When all notes turn to off.
#2 When power is first applied, these MODE MESSAGES are transmitted for all channels (1-16).
#3 When SYNC CLOCK is set at INTERNAL or TAPE.

